

PATENT OFFICE JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : November 28, 2002
Application Number : Patent Application No. 2002-345456
Applicant (s) : Renesas Technology Corp.

Dated this 18th day of September, 2003

Yasuo IMAI
Commissioner,
Patent Office
Certificate No. 2003-3076769

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 8 日
Date of Application:

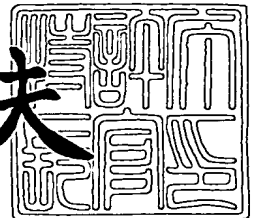
出 願 番 号 特 願 2 0 0 2 - 3 4 5 4 5 6
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 4 5 4 5 6]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 9 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 6 7 6 7

【書類名】 特許願

【整理番号】 NT02P0606

【提出日】 平成14年11月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/788
H01L 29/792

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 小林 孝

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 笹子 佳孝

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 有金 剛

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 池田 良広

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 金光 賢司

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504
【弁理士】
【氏名又は名称】 小川 勝男
【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656
【弁理士】
【氏名又は名称】 田中 恭助
【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352
【弁理士】
【氏名又は名称】 佐々木 孝
【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書**【発明の名称】 不揮発性半導体記憶装置及びその製造方法****【特許請求の範囲】****【請求項 1】**

半導体基板の一主面側に所定の間隔を置いて形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、
前記ドレイン側のチャネル領域上に第 1 ゲート絶縁膜を介して設けられた第 1 のゲートと、

前記ソース側のチャネル領域上には第 2 ゲート絶縁膜を介して、その側面側が第 1 絶縁膜で覆われ、その上面には第 2 絶縁膜が設けられた第 2 のゲートとを備え、

前記第 1 のゲートは、前記第 1 ゲート絶縁膜上および前記第 1 絶縁膜の側面と前記第 2 絶縁膜の側面を覆うように形成され、その一端部が前記第 2 絶縁膜の側面に設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体基板の一主面側に所定の間隔を置いて形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、
前記ドレイン側のチャネル領域上に第 1 ゲート絶縁膜を介して設けられた第 1 のゲートと、

前記ソース側のチャネル領域上には第 2 ゲート絶縁膜を介して、その側面側が第 1 絶縁膜で覆われ、その上面には第 2 絶縁膜が設けられた第 2 のゲートとを備え、

前記第 1 のゲートは、前記第 1 ゲート絶縁膜上および前記第 1 絶縁膜の側面と前記第 2 絶縁膜の側面を覆うように形成され、その一端部は、前記第 2 絶縁膜の上端面に配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項 3】

前記第 1 のゲートは、その両端部が前記第 2 のゲートに挟まれた隙間領域に配

置され、凹部を形成するように充填されていることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記第 1 のゲートの表面積は、前記第 2 のゲートの隙間領域内の側壁部の面積を A、第 2 のゲート隙間領域内の底部の面積を B、第 2 のゲート上部の平坦部の面積を C、及び第 2 のゲート上部の側壁部の面積を D としたとき、

$$A > B + C + D$$

であることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記第 2 のゲートは、前記第 2 ゲート絶縁膜を介して前記半導体基板内に形成されたスプリットチャネルを制御するゲートであることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記第 2 のゲートは、消去ゲートおよびスプリットチャネルの両方を制御するゲート機能を有することを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記第 2 ゲート絶縁膜は、前記半導体基板上に形成された周辺回路の低電圧部を構成する MOS トランジスタのゲート絶縁膜と同一であることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 8】

前記第 2 のゲートの構成材料及びその膜厚は、前記半導体基板上に形成された周辺回路を構成する MOS トランジスタのゲートと同一であることを特徴とする請求項 1 乃至 6 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 9】

半導体基板の一主面側に所定の間隔を置いて形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、

前記ドレイン側のチャネル領域上に第 1 ゲート絶縁膜を介して設けられた第 1

のゲートと、

前記ソース側のチャネル領域上には第2ゲート絶縁膜を介して、その側面側が第1絶縁膜で覆われ、その上面には第2絶縁膜が設けられた第2のゲートと、

前記第1のゲート上に形成された第3絶縁膜を介して設けられた第3のゲートと、

前記第3のゲートを電氣的に接続したワード線と、

前記第3のゲート上に形成された第3絶縁膜を貫通して設けられたコンタクト孔と、

前記ワード線と前記コンタクト孔を介して接続された金属配線とを備え、

前記コンタクト孔が、前記第2のゲートを形成する膜と同一の材料および膜厚を有する部材上に載置されていることを特徴とする不揮発性半導体記憶装置。

【請求項10】

前記部材は、ポリシリコン膜であることを特徴とする請求項9に記載の不揮発性半導体記憶装置。

【請求項11】

半導体基板の一主面側に形成された第1導電型のウェルと、

前記第1導電型のウェルに所定の間隔を置いて形成された第2導電型のソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間に形成されたチャネル領域と、

前記ドレイン側のチャネル領域上に第1ゲート絶縁膜を介して設けられた第1のゲートと、

前記ソース側のチャネル領域上には第2ゲート絶縁膜を介して、その側面側が第1絶縁膜で覆われ、その上面には第2絶縁膜が設けられた第2のゲートと、

前記第1のゲート上に形成された第3絶縁膜を介して設けられた第3のゲートとを備え、

複数の前記第2のゲートを結束する結束領域が、第2導電型を有する不純物拡散層が選択的に形成された前記半導体基板の領域上に設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項12】

前記第2導電型を有する不純物拡散層領域は、前記第2導電型のソース領域及びドレイン領域と前記ソース領域及びドレイン領域を選択する選択トランジスタの拡散層領域とに接続されていることを特徴とする請求項11に記載の不揮発性半導体記憶装置。

【請求項13】

メモリセルアレイ領域および周辺回路領域を有する不揮発性半導体記憶装置の製造方法において、

半導体基板の一主面側にウェル領域を形成する工程と、
前記ウェル領域上に第1ゲート絶縁膜を形成する工程と、
前記第1ゲート絶縁膜上に第1シリコン膜を形成する工程と、
前記メモリセルアレイ領域において、前記第1シリコン膜および前記第1ゲート絶縁膜を含む膜を選択的にパターニングし、第1の方向にライン領域およびスペース領域を形成するライン・アンド・スペース形成工程と、
前記スペース領域に第2ゲート絶縁膜を形成し、前記第2ゲート絶縁膜を含む領域上に第2シリコン膜を形成する工程と、
前記第2シリコン膜を第1の方向に延在するようにパターニングする工程と、
前記第2シリコン膜を含む領域上に層間絶縁膜を形成し、前記層間絶縁膜に第3シリコン膜を形成する工程と、
前記第3シリコン膜と前記第2シリコン膜とを前記第1の方向とは直交する方向にパターニングする工程と、前記第1シリコン膜を再度パターニングする工程とを備え、
前記第2シリコン膜を第1の方向にパターニングし、形成された第2シリコン膜パターンの端部が、前記スペース領域内に配置されるように前記パターニングを行なうことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項14】

メモリセルアレイ領域および周辺回路領域を有する不揮発性半導体記憶装置の製造方法において、

半導体基板の一主面側にウェル領域を形成する工程と、
前記ウェル領域上に第1ゲート絶縁膜とを形成する工程と、

前記第 1 ゲート絶縁膜上に第 1 シリコン膜を形成する工程と、

前記メモリセルアレイ領域において、前記第 1 シリコン膜および前記第 1 ゲート絶縁膜を含む膜を選択的にパターンニングし、第 1 の方向にライン領域およびスペース領域を形成するライン・アンド・スペース形成工程と、

前記スペース領域に第 2 ゲート絶縁膜を形成し、前記第 2 ゲート絶縁膜を含む領域上に第 2 シリコン膜を形成する工程と、

前記第 2 シリコン膜を第 1 の方向に延在するようにパターンニングする工程と、

前記第 2 シリコン膜を含む領域上に層間絶縁膜を形成し、前記層間絶縁膜に第 3 シリコン膜を形成する工程と、

前記第 3 シリコン膜と前記第 2 シリコン膜とを前記第 1 の方向とは直交する方向にパターンニングする工程と、前記第 1 シリコン膜を再度パターンニングする工程とを備え、

前記第 2 シリコン膜を第 1 の方向にパターンニングし、形成された第 2 シリコン膜パターンの端部が、前記ライン領域上に配置されるように前記パターンニングを行なうことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 15】

前記第 1 ゲート絶縁膜の膜厚は、前記第 2 ゲート絶縁膜の膜厚より薄いことを特徴とする請求項 13 または 14 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 16】

前記第 2 ゲート絶縁膜の形成は、前記ライン・アンド・スペースを形成し、前記メモリセルアレイ領域においてパターンニングされた前記第 1 シリコン膜の側壁に絶縁膜からなるサイドウォールを形成した後に行なうことを特徴とする請求項 13 または 14 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 17】

前記第 1 の方向に形成されたラインの端部が結束するように前記第 1 シリコン膜をパターンニングし結束部を形成することを特徴とする請求項 13 または 14 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 18】

前記結束部の形成前に、前記結束部の下に対応する前記半導体領域に前記半導

体基板の導電型と反対導電型の不純物を導入することを特徴とする請求項13または14に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置及びその製造方法に係り、特に高性能化、高集積化及び歩留り向上を実現する方法に関する。

【0002】

【従来の技術】

フラッシュメモリは携帯性、耐衝撃性に優れ、電氣的に一括消去が可能なことから、近年、携帯型パーソナルコンピュータやデジタルスチルカメラ、ビデオカメラ等の小型携帯情報機器のファイルとして急速に需要が拡大している。その市場の拡大にはメモリセル面積の縮小によるビットコストの低減とコンテンツの短時間ダウンロードに対応した高速書込みが必須であり、これを実現するメモリセル方式が提案されている。そのうちの1つとして、3層ポリシリコンゲートを用いた仮想接地型のメモリセルがある（例えば、特許文献1または特許文献2参照）。このメモリセルは、図15に示したように、シリコン基板201中のウェル202、ウェル中のソース、ドレイン拡散層領域203、203'、及びウェル上に形成されたポリシリコン膜からなる第1のゲートとなる浮遊ゲート204、第2のゲートとなる制御ゲート205、消去ゲートとスプリットチャネルを制御するゲートの少なくとも1つの機能を有する第3のゲート206の3つのゲートから構成される。各々のポリシリコンゲート204、205、206間及びポリシリコンゲートとウェル202間は絶縁膜207、208、209、210、211により分離されている。制御ゲート205は行方向に接続されワード線を構成している。ソース及びドレイン拡散層203、203'は隣接するメモリセルの拡散層を共用する仮想接地型であり、これにより行方向のピッチ縮小を図っている。第3のゲート206はチャネルと平行で、かつ、ワード線205と垂直に配置される。書込みの際は、ワード線205、ドレイン203及び第3ゲート206にそれぞれ独立した正の電圧を印加し、ウェル202、ソース203'は0

Vとする。これにより第3のゲートと浮遊ゲート境界部のチャネルでホットエレクトロンが発生し、浮遊ゲート204に注入される。これによりメモリセルのしきい値が上昇する。消去の際は、第3ゲート206に正電圧、ワード線205に負電圧を印加し、ソース203'、ドレイン203、及びウェル202は0Vとする。これにより浮遊ゲート204から第3ゲート206に電子が放出され、しきい値が低下する。あるいは、ワード線205に負電圧を印加し、第3ゲート206、ソース203'、ドレイン203、及びウェル202は0Vとする。これにより浮遊ゲート204からウェル202に電子が放出され、しきい値が低下する。このようなメモリセルトランジスタのしきい値電圧を変化させることにより情報の“0”“1”を判別している。

【0003】

【特許文献1】

特開2001-028428号公報

【特許文献2】

特開2001-085541号公報

【0004】

【発明が解決しようとする課題】

しかしながら、上記した不揮発性半導体記憶装置の大容量化を図ろうとした場合、新たな課題が生じてきた。

まず第1は、メモリセルの書込み/消去時、特に消去時の内部動作電圧の低減である。一般にフラッシュメモリにおいては、制御ゲート電圧 V_{cg} と浮遊ゲート V_{fg} の間には以下の関係式が成り立つ。

【0005】

$$V_{fg} = V_{cg} \cdot C_2 / (C_1 + C_2 + C_{ag} + C_{fg}) \quad (1) \text{式}$$

ここで C_1 は浮遊ゲートとSi基板間の絶縁膜(トンネル絶縁膜)容量、 C_2 は浮遊ゲートと制御ゲート間の絶縁膜(ポリSi層間絶縁膜)容量、 C_{ag} は浮遊ゲートと第3ゲート間の絶縁膜容量、 C_{fg} は隣接するワード線下に存在する浮遊ゲート間の絶縁膜容量である。 $C_2 / (C_1 + C_2 + C_{ag} + C_{fg})$ はカップリング比と呼ばれる。制御ゲートに印加された電圧を効率良く浮遊ゲートに伝達し、より低い内部電圧で書込み/

消去を行うためにはこのカップリング比を増大することが必須である。そのためには(1)ポリSi層間絶縁膜容量 C_2 を大きくする、(2)第3ゲート-浮遊ゲート間膜厚を増大して C_{ag} を低減する、(3)浮遊ゲートの断面形状をU字型あるいはフィン型として断面積を低減し、対向する浮遊ゲート間絶縁膜容量 C_{fg} を低減する、ことが重要となる。 C_2 を増大するためには浮遊ゲートの表面積を増大することが必要である。しかしながら上記した公知例では、浮遊ゲート204の表面積が小さく、動作電圧の低減が難しいという問題があった。本課題は浮遊ゲートとSi基板間の絶縁膜210に高電圧を印加し、トンネル現象により浮遊ゲートに蓄積された電子を基板に放出する消去動作の際、特に重要である。また、1つのメモリセルに2ビット分のデータを記憶するいわゆる多値記憶型のフラッシュメモリにおいては、書込み状態と消去状態でメモリセルしきい値電圧の差を大きくとる必要があり、書込み/消去動作時間を低減するためにはカップリング比の向上は不可欠である。

【0006】

第2は書込みばらつきの低減と第3ゲートの微細化である。上記公知例のうち特許文献2には、3層ポリシコンゲートを用いた仮想接地型メモリセルの様々な形成方法が論じられている。このうち第3ゲート206を形成後、浮遊ゲート204を形成する方法においては、トンネル絶縁膜210を熱酸化により形成する際、先に形成した第3ゲート206下端部が酸化され、同部のゲート酸化膜厚が厚くなってしまい、いわゆるゲートバースピークが生じるという問題があった。これは、トンネル絶縁膜を形成する際の洗浄工程で第3ゲート下端部のゲート酸化膜が除去されてしまい、第3ゲートポリシリコン膜の下端部が酸化されてしまうためである。本ゲートバースピークの伸長は第3ゲートにより形成されるMOSトランジスタのしきい値電圧のばらつきの原因となり、メモリセル間の書込みばらつきを増大させるという不具合を生じる。メモリセル間の書込みばらつきが増大すると、多値記憶型のフラッシュメモリにおいては、所望のしきい値状態に到達したか否かを判別するベリファイ回数が増加し、チップの書込み時間が増大してしまう。また、本ゲートバースピークの伸長により第3ゲートのゲート酸化膜厚が増大すると、第3ゲートにより形成されるMOSトランジスタのパンチスルー

耐性が低下し、ゲート長の縮小が困難となる。

【0007】

第3はワード線の微細化である。一般に大容量フラッシュメモリでは、ワード線を最小加工寸法でパターニングすることによりメモリセルの微細化を図っている。このためには、ワード線をパターニングする際のリソグラフィ工程で十分なフォーカスマージンを確保する必要がある。このためには、下地段差を極力低減することが課題となる。

【0008】

以上、3層ポリシコンゲートを用いた仮想接地型メモリセルの微細化、高性能化に関する課題を解決するための新たな不揮発性半導体記憶装置及びその製造方法の開発が望まれていた。

【0009】

本発明の目的は、3層ポリシコンゲートを用いた仮想接地型メモリセルの微細化、高性能化および歩留まり向上に関する新たな不揮発性半導体記憶装置及びその製造方法を提供することである。

【0010】

【課題を解決するための手段】

上記課題はシリコン基板中に形成された第1導電型のウェルと、該ウェル中に形成された第2導電型のソース／ドレイン拡散層領域と、該拡散層領域に対し垂直方向に形成されたチャネルと、該シリコン基板上に絶縁膜を介して形成された第1のゲートである浮遊ゲートと、該浮遊ゲートと絶縁膜を介して形成された第2のゲートである制御ゲートと、該制御ゲートを接続して形成されたワード線と、該シリコン基板、浮遊ゲート、制御ゲートと絶縁膜を介して形成され、浮遊ゲート及び制御ゲートとは機能の異なる第3ゲートを有するメモリセルを構成要素の1つとした不揮発性半導体記憶装置において、該浮遊ゲートの端部のうち制御ゲートと垂直な方向に存在する2つの端部のそれぞれが第3ゲートの上部に絶縁膜を介して乗り上げるように配置することにより達成される。

【0011】

上記浮遊ゲートは、第3ゲートの隙間に配置され、該隙間を完全には充填して

いないことを特徴とする。

上記浮遊ゲートは、その表面積を、第3ゲートスペース内の側壁部がA、第3ゲートスペース内の底部がB、第3ゲート上部の平坦部がC及び第3ゲート上部の側壁部がDとした時、

$$A > B + C + D$$

である。

上記第3ゲートがスプリットチャネルを制御するゲートである。

あるいは、上記第3ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有する。

なお、上記第3のゲートとウェル間の絶縁膜が周辺回路低圧系部のゲート絶縁膜と同一であることが好ましい。

また、上記第3のゲートの構成材料及び膜厚が周辺回路のゲートと同一であることが好ましい。

【0012】

更に上記課題はシリコン基板中に形成された第1導電型のウェルと、該ウェル中に形成された第2導電型のソース／ドレイン拡散層領域と、該拡散層領域に対し垂直方向に形成されたチャネルと、該シリコン基板上に絶縁膜を介して形成された第1のゲートである浮遊ゲートと、該浮遊ゲートと絶縁膜を介して形成された第2のゲートである制御ゲートと、該制御ゲートを接続して形成されたワード線と、該シリコン基板、浮遊ゲート、制御ゲートと絶縁膜を介して形成され、浮遊ゲート及び制御ゲートとは機能の異なる第3ゲートを有するメモリセルを構成要素の1つとした不揮発性半導体記憶装置において、ワード線と金属配線を接続するコンタクト孔が第3ゲートと同一の材料、膜厚を有する部材上に絶縁膜を介して配置されることにより達成される。

この際、上記部材がポリシリコン膜であることが好ましい。

【0013】

更に上記課題は、シリコン基板中に形成された第1導電型のウェルと、該ウェル中に形成された第2導電型のソース／ドレイン拡散層領域と、該拡散層領域に対し垂直方向に形成されたチャネルと、該シリコン基板上に絶縁膜を介して形成

された第1のゲートである浮遊ゲートと、該浮遊ゲートと絶縁膜を介して形成された第2のゲートである制御ゲートと、該制御ゲートを接続して形成されたワード線と、該シリコン基板、浮遊ゲート、制御ゲートと絶縁膜を介して形成され、浮遊ゲート及び制御ゲートとは機能の異なる第3ゲートを有するメモリセルを構成要素の1つとした不揮発性半導体記憶装置において、複数の第3ゲートを結束する結束部の下のシリコン基板中に、第2導電型の不純物領域が形成されていることにより達成される。

この際、上記第2導電型のソース／ドレイン拡散層領域と第2導電型の不純物領域、及び第2導電型のソース／ドレイン拡散層領域を選択する選択トランジスタの拡散層領域が接続されている。

【0014】

更に上記課題は、シリコン基板中に形成された第1導電型のウェルと、該ウェル中に形成された第2導電型のソース／ドレイン拡散層領域と、該拡散層領域に対し垂直方向に形成されたチャネルと、該シリコン基板上に絶縁膜を介して形成された第1のゲートである浮遊ゲートと、該浮遊ゲートと絶縁膜を介して形成された第2のゲートである制御ゲートと、該制御ゲートを接続して形成されたワード線と、該シリコン基板、浮遊ゲート、制御ゲートと絶縁膜を介して形成され、浮遊ゲート及び制御ゲートとは機能の異なる第3ゲートを有するメモリセルを構成要素の1つとした不揮発性半導体記憶装置の製造方法において、半導体基板上に複数のウェルを形成する工程、該ウェル上に膜厚の異なる第1及び第2のゲート絶縁膜を形成する工程、該第1及び第2のゲート絶縁膜上に第1のポリシリコン膜を形成する工程、該第1のポリシリコン膜をパターニングし、第1方向のライン・アンド・スペースを形成する工程、該スペースに第3のゲート絶縁膜を形成する工程、第2のポリシリコン膜を形成する工程、該第2のポリシリコン膜を第1方向にパターニングする工程、ポリシリコン層間絶縁膜を形成する工程、第3のポリシリコン膜を形成する工程、該第3のポリシリコン膜と第2のポリシリコンを第1方向とは直交する第2方向にパターニングする工程、第1のポリシリコン膜を再度パターニングする工程を含むことにより達成される。

【0015】

この際、上記該第1のポリシリコン膜をパターンニングし、第1方向のライン・アンド・スペースを形成する工程はメモリセルアレイ部でのみ行なうことを特徴とする。

この際、上記第1及び第3のゲート絶縁膜の膜厚は、第1ゲート絶縁膜の方が厚いことが好ましい。

また、上記第1のポリシリコン膜により第1方向のライン・アンド・スペースを形成した後、該ポリシリコン膜の側壁に絶縁膜のサイドウォールを形成し、その後第3のゲート酸化膜を形成することが好ましい。

【0016】

更に、上記第1のポリシリコン膜は第1方向のライン・アンド・スペースの端部でライン部が結束されるようにパターンニングされる。

この場合、上記第1のポリシリコン膜パターンの結束部の下に、パターンニング前に第2導電型の不純物を導入することを特徴とする。

この際、上記第2のポリシリコン膜の第1の方向パターンニングは、第1のポリシリコン膜パターンのライン上で行なう。

あるいは、第2のポリシリコン膜の第1の方向パターンニングは、第1のポリシリコン膜パターンのスペース内に埋め込むように行なう。

【0017】

【発明の実施の形態】

本発明の実施の形態について以下に具体的に説明する。

【0018】

<実施例1>

図1から図6を用いて、本発明の実施例1を説明する。図1はフラッシュメモリセルを行列状に配置したメモリアレイの構成を示す回路図、図2はメモリセルアレイの平面図であり、図3は図2のA-A'、B-B'、C-C'、D-D'それぞれで切断した断面図、図4から図6は断面図によりメモリセル及び周辺回路の製造工程を示した図、図16から図18は図2のE'-E断面部の製造工程を示したものである。

【0019】

図1においてGDLはグローバルデータ線、LDLはローカルデータ線を表しており

、本メモリセルアレイは階層化データ線構造を有している。WLはワード線、AGは第3ゲート(アシストゲート、Assist Gate)である。STは選択トランジスタのゲート配線、SLは共通ソース線である。

【0020】

図3及び図6(e)に示したように、本メモリセルはシリコン基板101に形成されたp型ウェル104中のソース/ドレイン拡散層113、第1のゲートである浮遊ゲート115b、第2のゲートである制御ゲート117a、及び第3のゲート109aから構成される。各メモリセルの制御ゲート117aは行方向に接続され、ワード線を形成している。浮遊ゲート115bとウェル103はゲート絶縁膜114に、第3のゲート109aとウェル103はゲート絶縁膜108に、浮遊ゲート115bと第3のゲート109aは絶縁膜114aに、浮遊ゲート115bとワード線117aは絶縁膜116aに、第3のゲート109aとワード線117aは絶縁膜110aにより、それぞれ分離されている。ソース/ドレイン拡散層113はワード線117aに垂直に配置され、列方向のメモリセルのソース/ドレインを接続するローカルソース線及びローカルデータ線として存在する。すなわち、本不揮発性半導体記憶装置は、メモリセル毎にコンタクト孔を持たないいわゆるコンタクトレス型のアレイから構成される。この拡散層113に垂直な方向にチャネルが形成される。

【0021】

第3のゲート109aの2つの端面は、上記浮遊ゲート115bの端面のうちワード線117a及びチャネルとそれぞれ垂直な方向に存在する2つの端面と、それぞれ絶縁膜114aを介して対向して存在する。浮遊ゲート115bは、ワード線117a及びチャネルと垂直な方向に存在する第3のゲート109aの隙間に配置される。さらに、浮遊ゲート115bが第3のゲート109aに対称に、また上記第3のゲート109aが浮遊ゲート115bに対称に存在する。

【0022】

なお、本実施形態においては、ソース/ドレインを形成する1対の拡散層113が浮遊ゲートパターン115bに対し非対称の位置関係にあり、一方の拡散層

が浮遊ゲートとオーバーラップしないオフセット構造となっている。また、第3のゲート109aと拡散層113はそれぞれの一部分がオーバーラップするように存在する。

【0023】

次に書込み、消去、読出し動作を図7から図9及び表1を用いて説明する。

【0024】

【表1】

表 1

| | 書込み | 消去 | 読出し |
|---------------------|-------|------|----------------|
| WL _m | 13.5V | -18V | V _r |
| WL _{m+1} | 0V | 0V | 0V |
| GDL _m | 4.5V | 0V | 1V |
| GDL _{m+1} | 4.5V | 0V | 1V |
| LDL _{mL} | 0V | 0V | 0V |
| LDL _{mR} | 4.5V | 0V | 1V |
| LDL _{m+1L} | 0V | 0V | 0V |
| LDL _{m+1R} | 4.5V | 0V | 1V |
| LDL _{m+2L} | 0V | 0V | 0V |
| AG _e | 0V | 0V | 0V |
| AG _o | 1.1V | 0V | 3.5V |
| ST ₁ | 6V | 0V | 6V |
| ST ₂ | 0V | 0V | 0V |
| ST ₃ | 0V | 0V | 0V |
| ST ₄ | 6V | 0V | 6V |

まず、図7の選択セルPSC1を書込む場合、ワード線WL_mに正の大きな電圧、例えば13.5V程度を、また、第3のゲートAG_oには1.1V程度の低い電圧を印加する。また、グローバルデータ線GDL_mには4.5V程度を印加し、これを選択トランジスタST₁を介してローカルデータ線LDL_{mR}に給電する。ソースLDL_{m+1L}及

びpウェルは0 Vに保持する。これにより第3のゲート109a下のウェル中にチャネルが形成され、ソース側の浮遊ゲート端部のチャネルでホットエレクトロンが発生し、浮遊ゲートに電子が注入される。つまり第3のゲート109aはその下部に存在するチャネルを制御するゲートとして機能する。本メモリセルによれば、従来のNOR型フラッシュメモリに比べホットエレクトロンの発生及び注入効率が増大し、チャネル電流の小さな領域での書込みが可能となる。従って、トンネル現象により書込みを行なうフラッシュメモリチップと同程度の電流供給能力をもつ内部電源で、キロバイトオーダー以上の多数個のメモリセルの並列書込みが可能となり、書込みスループットの向上が図れる。

【0025】

消去の際は、図8に示したように、ワード線WL_mに負の大きな電圧、例えば-18 Vを印加する。この際、第3のゲートAGe及びAGo、すべてのソース/ドレイン拡散層DL、及びウェルは0 Vに保持する。あるいは、ワード線WL_mに負の大きな電圧、例えば-16 Vを、ウェルに正電圧、例えば2 Vを印加し、第3のゲートAGe及びAGo、すべてのソース/ドレイン拡散層DLは0 Vに保持する。これにより、浮遊ゲートからウェルにファウラー-ノードハイムトンネル電流が流れ、浮遊ゲートに蓄積された電子が放出される。

【0026】

図9のセルRSC1の情報を読み出す場合は、ワード線WL_mに多値のしきい値レベルに応じた電圧を印加し、また、第3のゲートAGoには3.5 V程度の電圧を印加する。また、グローバルデータ線GDL_mには1 V程度を印加し、これを選択トランジスタST1を介してローカルデータ線LDL_mRに給電する。ソースLDL_m+1L及びpウェルは0 Vに保持する。

【0027】

本実施例1が従来技術と異なる点は、図3(a)に示したように、浮遊ゲート115bの端面のうちワード線117a及びチャネルとそれぞれ垂直な方向に存在する2つの端面のそれぞれが第3ゲート109aの上部に絶縁膜110aを介して乗り上げるように配置した点である。浮遊ゲート115bの膜厚は第3ゲートスペースを完全には充填しないような値に設定されている。このようなフィン型形

状の浮遊ゲートにすることで、ワード線に平行な断面の断面積を低減し、隣接するワード線間で対向する浮遊ゲート間の絶縁膜容量を小さくした上で浮遊ゲートの表面積を増大することが可能である。これにより微細化に伴いワード線ピッチが減少し、ワード線間距離が小さくなっても、メモリセルのカップリング比が向上して書込み/消去時の内部動作電圧が低減できる。また、隣接するワード線間で対向する浮遊ゲート間の絶縁膜容量が小さいため、隣接ビットのしきい値が書込み状態にあるか消去状態にあるかの違いによって生じる読出ししきい値のずれを小さくすることが可能である。このため、しきい値状態を4レベル以上とし、1つのメモリセルに2ビット分以上のデータを記憶する多値メモリにおいては、1つ1つのしきい値分布を圧縮することが可能となり、その結果、書込み/消去のしきい値変化量を小さくすることができる。これにより書込み/消去時間の短縮や低電圧動作、放置電界の緩和によるデータ保持特性の向上が図れる。

【0028】

この際、本浮遊ゲート115bは、図14に示した様に、その表面積を、第3ゲートスペース内の側壁部がA、第3ゲートスペース内の底部がB、第3ゲート上部の平坦部がC及び第3ゲート上部の側壁部がDとした時、

$$A > B + C + D \quad (2) \text{式}$$

なる関係が成り立つ。メモリセルを微細化するためには第3ゲートのライン及びスペースを縮小する必要がある、この条件下で浮遊ゲート表面積を増大するためにはB及びCを小とし、AまたはDを大とする必要がある。Dの増大は上述した隣接するワード線間で対向する浮遊ゲート間の絶縁膜容量を増大することになる。従って、第3ゲートスペース内の側壁部面積Aを大きくとり他の部分の面積をできるだけ小さくした(2)式で示される面積関係が、第3ゲートを有するメモリセルの微細化、動作速度の向上、データ保持特性の向上に有効である。

【0029】

また、第3ゲート形成後、浮遊ゲート絶縁膜(いわゆるトンネル絶縁膜)を形成する前に第3ゲート側壁に絶縁膜のサイドウォールを形成している。これにより第3ゲート109a下端部に伸長するゲートバースピークを抑制し、第3ゲートのゲート長の微細化が可能である。合せて第3ゲートにより形成されるMOSト

ランジスタのしきい値ばらつきを低減でき、メモリセル間の書込み速度ばらつきを抑制可能となる。これにより、チップ書込み時のベリファイ回数が低減し、書込みスループットの向上が図れる。

【0030】

また、第3ゲートパターニング時に形成するスペースを浮遊ゲートが配置されるメモリマット内にのみ配置している。このためワード線117a形成時の下地段差が低減されワード線パターニング時のリソグラフィのフォーカスマージンが向上し、ワード線ピッチの縮小が可能となる。

【0031】

次に、図4から図6を用いて本メモリセルの製造方法を示す。
本不揮発性半導体記憶装置は情報を蓄積するための複数のメモリセルを行列状に配置したメモリセル領域と、書換えや読出しを行なうビットを選択したり、チップ内部で必要な電圧を発生する周辺回路を構成するためのMOSトランジスタを複数個配置した周辺回路領域から構成される。周辺回路領域は、例えば3.3Vといった電源電圧のような比較的小さな電圧のみが印加される低電圧部と、例えば18Vといった書換えに必要な高電圧が印加される高電圧部に分けられる。低電圧部と高電圧部はともに図6(e)に示すように、Pウェル104b、104c、及びNウェル105a、105b上に形成された複数のNMOSトランジスタ及びPMOSトランジスタから構成される。メモリセルはPウェル104a上に形成される。図4から図6はメモリセルのワード線に平行で、周辺回路MOSトランジスタのゲート線に垂直な断面図である。

【0032】

製造方法は以下の通りである。
まず、面方位(100)のp型Si基板101に、選択トランジスタ及び周辺回路MOSトランジスタを分離する浅溝素子分離領域102を形成した。次いでイオン打込み法によりPウェル領域104a、104b、104c、及びNウェル領域105a、105b、更にウェル間の分離領域103を形成した(図4(a))。次に、メモリセル及び周辺回路MOSトランジスタのしきい値調整のためのチャンネルイオン打込み(図には示していない)を行なった後、第3ゲート結束部

(図2の125)下の拡散層(図2の124)形成のためのイオン打込みを行った。本イオン打込みにより、メモリセルの拡散層配線113と選択トランジスタの拡散層120aの電氣的な接続が可能となる。(図16乃至図18)。次に周辺回路領域のうち高電圧部のゲート絶縁膜となるシリコン酸化膜106を熱酸化法により約23nm形成した(図4(b))。その後、ホトレジストパターンを形成し、ウェットエッチング法によりシリコン酸化膜106を周辺回路領域の高電圧部のみに残した(シリコン酸化膜106は106aとなる)(図4(c))。その後、ホトレジストパターンを除去した後、熱酸化法により周辺回路領域の低電圧部及びメモリセル領域に周辺MOSトランジスタのゲート絶縁膜及びメモリセルの第3ゲートとウェルを分離する絶縁膜となる熱酸化膜108を9nm形成した。この際、周辺回路領域の高電圧部の熱酸化膜厚は25nmとなった(シリコン酸化膜106aは106bとなる)(図4(d))。その後、周辺MOSトランジスタ及びメモリセルの第3のゲートの電極となるポリシリコン膜109とシリコン酸化膜110を順次堆積した(図4(e))。続いてリソグラフィとドライエッチング技術を用いてシリコン酸化膜110及びポリシリコン膜109をパターンニングした(シリコン酸化膜110及びポリシリコン膜109はそれぞれ110a、110b及び109a、109bとなる)。この際、メモリセル以外のすべての領域のシリコン酸化膜110及びポリシリコン膜109はエッチングされずに残るようなパターン配置とした。また、本パターンニングにより形成されるスペースは全て同一寸法とした。これは、後の工程で形成するワード線のポリサイド膜がチップ内で均一に第3ゲートスペースに埋め込まれ、平坦な段差形状とするためである(図4(f))。

【0033】

次に減圧化学気相成長法によりシリコン酸化膜111を堆積し(図5(a))、これを異方性エッチングして第3ゲートパターン109の側壁にのみ残した(シリコン酸化膜111は111aとなる)(図5(b))。本膜はトンネル絶縁膜形成前までの洗浄工程で第3ゲート酸化膜が後退し、その結果ゲートバースピークが伸長してセル間の書込みばらつきが増大したり、第3ゲートMOSの短チャネル特性が低下するのを抑制するための保護膜である。本シリコン酸化膜111の膜

厚は、トンネル絶縁膜が形成される直前の洗浄工程で完全に除去されるがそのオーバーエッチング量は極わずかであるように設定した。その後、砒素の斜めイオン打込みとボロンの斜めイオン打込みを互いに別の方向から行い、メモリセルのソース/ドレイン拡散層領域 113 とパンチスルーストップ層 112 を形成した(図 5(c))。ここで、第 3 ゲート下の拡散層 124 とメモリセルのソース/ドレイン拡散層領域 113 とが接続される(図 17(c))。次に浮遊ゲートとウェル間及び浮遊ゲートと第 3 ゲート間を分離する絶縁膜 114 を熱酸化法により形成した。ウェル上の酸化膜厚は 9 nm とした。この際、第 3 ゲート側壁には約 20 nm の酸化膜 114a が成長した(図 5(d))。その後、浮遊ゲートとなるポリシリコン膜 115 を第 3 ゲートスペースが完全には埋まらないように堆積し(図 5(e))、これをリソグラフィとドライエッチング技術により第 3 ゲートと平行な方向にパターンニングした(ポリシリコン 115 は 115a になる)。この際、浮遊ゲートパターン 115a の端部がシリコン酸化膜 110a を介して第 3 ゲート 109a に乗り上げる構造とした(図 5(f))。

【0034】

次いで、浮遊ゲートとワード線を分離するシリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層膜、いわゆる ONO 膜 116、及びワード線となるポリシリコンとタングステンシリサイド膜の積層膜、いわゆるポリサイド膜 117、シリコン酸化膜 118 を順次堆積した。この際、ポリサイド膜 117 の下層となるポリシリコン膜の膜厚は、図 4(f) で形成したメモリセルスペースが完全に埋まり、ポリサイド膜 117 表面がほぼ平坦となるように調整した(図 6(a))。次に、シリコン酸化膜 118、ポリサイド膜 117 を公知のリソグラフィとドライエッチング技術により最小加工寸法でパターンニングしてワード線を形成した(シリコン酸化膜 118、ポリサイド膜 117 は 118a、117a となる)。更にワード線 117a をマスクとして ONO 膜 116 及びポリシリコン膜パターン 116a を加工し、浮遊ゲートを完成した(ONO 膜 116 及びポリシリコン膜パターン 115a はそれぞれ 116a 及び 115b となる)(図 6(b))。その後、リソグラフィとドライエッチング技術により周辺回路部のシリコン酸化膜 110b 及びポリシリコン膜 109b をパターンニングし、周辺回路 MOS トランジスタのゲート電

極を形成した(シリコン酸化膜 110b 及びポリシリコン膜 109b はそれぞれ 110c、109c となる)(図 6(c))。本工程により選択トランジスタのゲートも形成される。また、図 2 に示したように、メモリマット端部ではワード線の外側でポリシリコン膜 109b 及びシリコン酸化膜 110b をパターンニングする。次に、イオン打込み法により、周辺回路 MOS トランジスタの低濃度ソース／ドレイン領域 119a、119b、120a、120b を形成した後(図 6(d))、シリコン酸化膜のサイドウォール 121 を形成し、周辺回路 MOS トランジスタの高濃度ソース／ドレイン領域 122a、122b、123a、123b を形成した(図 6(e))。これにより、第 3 ゲート下の拡散層 124 とメモリセルのソース／ドレイン拡散層領域 113 と選択トランジスタの拡散層 120b が接続され、メモリセルのソース／ドレインが選択トランジスタの拡散層に接続される(図 18(d))。その後、図には示していないが、層間絶縁膜を堆積した後、この層間絶縁膜にワード線、周辺 MOS トランジスタのゲート電極、及びソース／ドレイン領域に至るコンタクト孔(図 2 の 128)を形成し、次に、金属膜を堆積し、これを加工して第 1 層の金属配線(図 2 の 129)とした。更に層間絶縁膜を形成し、これにスルーホール開孔した後(図 2 の 130)、主にグローバルビット線となる第 2 層の金属配線(図 2 の 131)を形成した。更に層間絶縁膜を堆積し、これを開孔したのち第 3 層の金属配線を形成し、パッシベーション膜を形成して不揮発性半導体記憶装置を完成した。

【0035】

図 10 は本発明により形成されたメモリセルの書込み/消去特性を示した結果である。同図には比較のため、特許文献 2 で示された方法により形成したメモリセルの特性も合せて示した。浮遊ゲートの形状をフィン型として断面積を低減し、対向する浮遊ゲート間の絶縁膜容量を低減した上で、浮遊ゲートの端部を第 3 ゲートの上部まで延長した結果、その表面積が増加し、カップリング比が 0.52 から 0.60 に増大した。その結果、同一電圧で書込み、消去を行った場合、その速度が増大した。

【0036】

本方法により形成したメモリセルの書込み後のしきい値分布を測定したところ

、最速ビットと最遅ビット間のしきい値差は2.1 Vであった。これに対し第3ゲート側壁にサイドウォールを形成しない従来技術では書込みのしきい値分布は4.7 Vと大きなばらつきが観測された。また、第3ゲートにより構成されるスプリットゲートMOSトランジスタの書込み動作条件でのカットオフ特性を測定したところ、本発明では第3ゲート長が $0.20\ \mu\text{m}$ でもカットオフが可能であったのに対し、従来技術では $0.25\ \mu\text{m}$ でパンチスルーを生じ、カットオフが困難であった。以上の本発明と従来技術における書込みばらつきとカットオフ特性の差を解明するため、両者の断面形状を走査型電子顕微鏡で観察したところ、図11(a)に示したように、従来技術では第3ゲート下端部にゲートバズピークが伸長しているのに対し、本発明では図11(b)に示したように、バズピークの伸長が抑制されていることが明らかとなった。

【0037】

また、本発明により形成したメモリセルでは従来技術に比べメモリセルアレイ端部で生じていたワード線の断線、ショートが大幅に減少し、歩留りが向上した。これは、ワード線の下地となる第3ゲートをメモリセルアレイ部でのみライン・アンド・スペースにパターニングした結果、ワード線とメタル配線を接続するコンタクト孔領域が第3ゲート109a及びその上に堆積された絶縁膜110aの上に配置されることになり、メモリセル内と同領域のワード線表面の高さが同一となったためである。これにより最小加工寸法でパターニングすべきワード線のリソグラフィーのフォーカス余裕が増大し、歩留りが向上した。

【0038】

実施例1によれば、不揮発性半導体記憶装置の書込み/消去速度が増大できるという効果がある。またメモリセル面積の縮小ができるという効果がある。また、歩留りの向上が図れるという効果がある。

【0039】

<実施例2>

次に図12を用いて本発明の実施例2を説明する。実施例1との違いは、第3ゲートパターン109aを形成後、先にメモリセルの拡散層113を形成し、その後サイドウォールスペーサ111aを形成した点である。フラッシュメモリセ

ルの平面配置、完成後の断面構造、アレイ構造は実施例 1 と同一でありここでは省略した。

【0040】

本メモリセルの製造方法は以下の通りである。まず実施例 1 の図 4 (a) から (f) に示したのと同じの方法により、シリコン基板 101 に浅溝素子分離領域 102、P ウェル領域 104 a、104 b、104 c、及び N ウェル領域 105 a、105 b、ウェル間の分離領域 103、ゲート絶縁膜 106 a、108 及びメモリセルの第 3 のゲートの電極となるポリシリコン膜 109 a とシリコン酸化膜 110 a を形成した。この際、実施例 1 と同様、メモリセル以外のすべての領域のシリコン酸化膜 110 及びポリシリコン膜 109 はエッチングされずに残るようなパターン配置とした。また、本パターニングにより形成されるスペースは全て同一寸法とした(図 12 (a))。

【0041】

次に砒素の斜めイオン打込みとボロンの斜めイオン打込みを互いに別の方向から行い、メモリセルのソース/ドレイン拡散層領域 113 とパンチスルーストップ層 112 を形成した(図 12 (b))。次に減圧化学気相成長法によりシリコン酸化膜 111 を堆積し(図 12 (c))、これを異方性エッチングして第 3 ゲートパターン 109 の側壁にのみ残した(シリコン酸化膜 111 は 111 a となる)(図 12 (d))。本膜はトンネル絶縁膜形成前までの洗浄工程で第 3 ゲート酸化膜が後退し、その結果ゲートバースピークが伸長してセル間の書込みばらつきが増大したり、第 3 ゲート MOS の短チャネル特性が低下するのを抑制するための保護膜である。本シリコン酸化膜 111 の膜厚は、実施例 1 と同様、トンネル絶縁膜が形成される直前の洗浄工程で完全に除去されるが、そのオーバーエッチング量は極わずかであるように設定した。

その後、実施例 1 の図 5 (d) から図 6 (e) と同様の方法により、ゲート絶縁膜 114 形成以後の工程を行ない、メモリセルを完成した(図示せず)。

【0042】

本発明によれば、実施例 1 と同様、従来技術に比べ書込み/消去速度の向上が図れた。また、メモリセル間の書込みばらつきが低減し、チップの書込みスルー

プットが向上した。また、第3ゲートにより形成されるスプリットゲートMOSトランジスタのカットオフ特性が向上し、第3ゲートのゲート長の縮小が可能であった。また、歩留りの向上が図れた。

【0043】

<実施例3>

次に図13を用いて本発明の実施例3を説明する。実施例2との違いは、第3ゲートパターン109の側壁に形成したシリコン酸化膜サイドウォールを洗浄工程で完全に除去することなく、トンネル絶縁膜を形成した点である。

【0044】

本メモリセルの製造方法は以下の通りである。実施例2の図12(b)までと同一の工程によりメモリセルのソース/ドレイン拡散層領域113とチャネルストップ層112を形成した後(図13(a))、減圧化学気相成長法によりシリコン酸化膜111を堆積し(図13(b))、これを異方性エッチングして第3ゲートパターン109の側壁にのみ残した(シリコン酸化膜111は111aとなる)(図13(c))。本膜の膜厚は実施形態1あるいは2よりも厚膜とし、トンネル絶縁膜が形成される直前の洗浄工程では除去されないように設定した。本シリコン酸化膜111aは実施形態1及び2と同様、トンネル絶縁膜の際、ゲートバースビークが伸長してセル間の書込みばらつきが増大したり、第3ゲートMOSの短チャネル特性が低下するのを抑制するための保護膜であるとともに、第3ゲート109aと浮遊ゲート115bを分離する絶縁膜の機能も有している。

次にトンネル絶縁膜114、浮遊ゲートとなるポリシリコン膜115を形成した後(図13(d))、実施形態1の図5(f)以後の工程を行ない、メモリセルを完成した(図示せず)。

【0045】

本発明によれば、実施例1あるいは実施例2と同様、従来技術に比べ書込み/消去速度の向上が図れた。また、メモリセル間の書込みばらつきが低減し、チップの書込みスループットが向上した。また、第3ゲートにより形成されるスプリットゲートMOSトランジスタのカットオフ特性が向上し、第3ゲートのゲート長の縮小が可能であった。また、歩留りの向上が図れた。

なお、本実施例においては実施例 2 と同様、メモリセルのソース/ドレイン拡散層 113 を形成した後シリコン膜サイドウォール 111a を形成したが、実施例 1 と同様、ソース/ドレイン拡散層 113 形成前にシリコン膜サイドウォール 111a を形成しても同様の効果が得られる。

【0046】

なお、上記した実施例においては、浮遊ゲートをフィン形状として第 3 ゲート上に乗り上げる構造としてカップリング比を増大し、書込み/消去特性の向上を図っているが、特許文献 1 および 2 に開示されたような第 3 ゲート間に埋込まれて配置される構造であっても、第 3 ゲート側壁にシリコン膜サイドウォールを形成することにより第 3 ゲート下端部でのバズビークの伸長を抑制し、メモリセル間の書込みばらつきが低減し、チップの書込みスループットを向上することが可能である。また、第 3 ゲートにより形成されるスプリットゲート MOS トランジスタのカットオフ特性が向上し、第 3 ゲートのゲート長の縮小が可能である。また、ワード線の下地となる第 3 ゲートを、メモリセル領域以外は平坦パターンとした結果、段差が低減し、リソグラフィーのフォーカス余裕が向上する。これによりマット端部で生じていたワード線の断線、ショートが大幅に減少し、歩留りが可能である。

【0047】

また、上記実施例においては、消去動作は、ワード線に負バイアスを印加し、他の端子は 0V として、浮遊ゲートに蓄積した電子をウェルに放出することにより行なったが、ワード線に負バイアス、第 3 ゲートに正バイアス、その他の端子を 0V として浮遊ゲートから第 3 ゲートに電子を放出しても同様の効果が得られる。

【0048】

また、いずれの実施例においても、書込みの際、浮遊ゲートに蓄積される電子の状態は最低 2 状態必要であるが、4 状態以上のレベルを形成し、1つのメモリセルに 2 ビット以上のデータを記憶するいわゆる多値記憶に適用してもよい。従来の多値記憶では、浮遊ゲートに蓄積される電子の量を高精度に制御して各レベルのしきい値分布を圧縮しても、2 値記憶に比べ、いちばん低いしきい値状態と

いちばん高いしきい値状態の差が大きくなるという問題があった。このためファウラー-ノールドハイム型の書換えでは、書換え速度が遅くなるか、書込み電圧が高くなるという問題が生じた。本発明によれば、書込み及び消去をともに13V程度と低電圧化できる、言い換えれば書換えの高速化できるので、多値記憶に極めて有効である。

【0049】

以上、本発明者によってなされた発明を、前記実施例2に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において変更可能であることは勿論である。例えば、本発明は、不揮発性半導体記憶素子を有するメモリセルアレイ部を備えたワンチップマイクロコンピュータ(半導体装置)に適用してもよい。

【0050】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果は以下の通りである。

不揮発性半導体記憶装置のメモリセル面積を縮小することが可能である。

不揮発性半導体記憶装置の動作速度の向上が図れる。

不揮発性半導体記憶装置の歩留りの向上が図れる。

【図面の簡単な説明】

【図1】

本発明の実施例1であるフラッシュメモリセルのアレイ構成を示す回路図。

【図2】

前記フラッシュメモリの要部平面図。

【図3】

前記フラッシュメモリの要部断面図。

【図4】

前記フラッシュメモリの製造方法を説明するための断面図。

【図5】

前記フラッシュメモリの製造方法を説明するための断面図。

【図 6】

前記フラッシュメモリの製造方法を説明するための断面図。

【図 7】

前記フラッシュメモリの書込み動作を説明するための回路図。

【図 8】

前記フラッシュメモリの消去動作を説明するための回路図。

【図 9】

前記フラッシュメモリの読出し動作を説明するための回路図。

【図 1 0】

前記フラッシュメモリセルの書込み/消去時のしきい値変化を示す図。

【図 1 1】

前記フラッシュメモリセルの仕上り断面形状を示す図。

【図 1 2】

本発明の実施例 2 であるフラッシュメモリの製造方法を説明するための断面図

。

【図 1 3】

本発明の実施例 3 であるフラッシュメモリの製造方法を説明するための断面図

。

【図 1 4】

本発明のフラッシュメモリセルの断面形状を示す図。

【図 1 5】

従来のフラッシュメモリの要部断面図。

【図 1 6】

本発明のフラッシュメモリにおけるメモリセル～選択トランジスタ（図 2 の E'-E 断面部）の製造方法を説明するための断面図。

【図 1 7】

本発明のフラッシュメモリにおけるメモリセル～選択トランジスタ（図 2 の E'-E 断面部）の製造方法を説明するための断面図。

【図 1 8】

本発明のフラッシュメモリにおけるメモリセル～選択トランジスタ（図2のE'-E断面部）の製造方法を説明するための断面図。

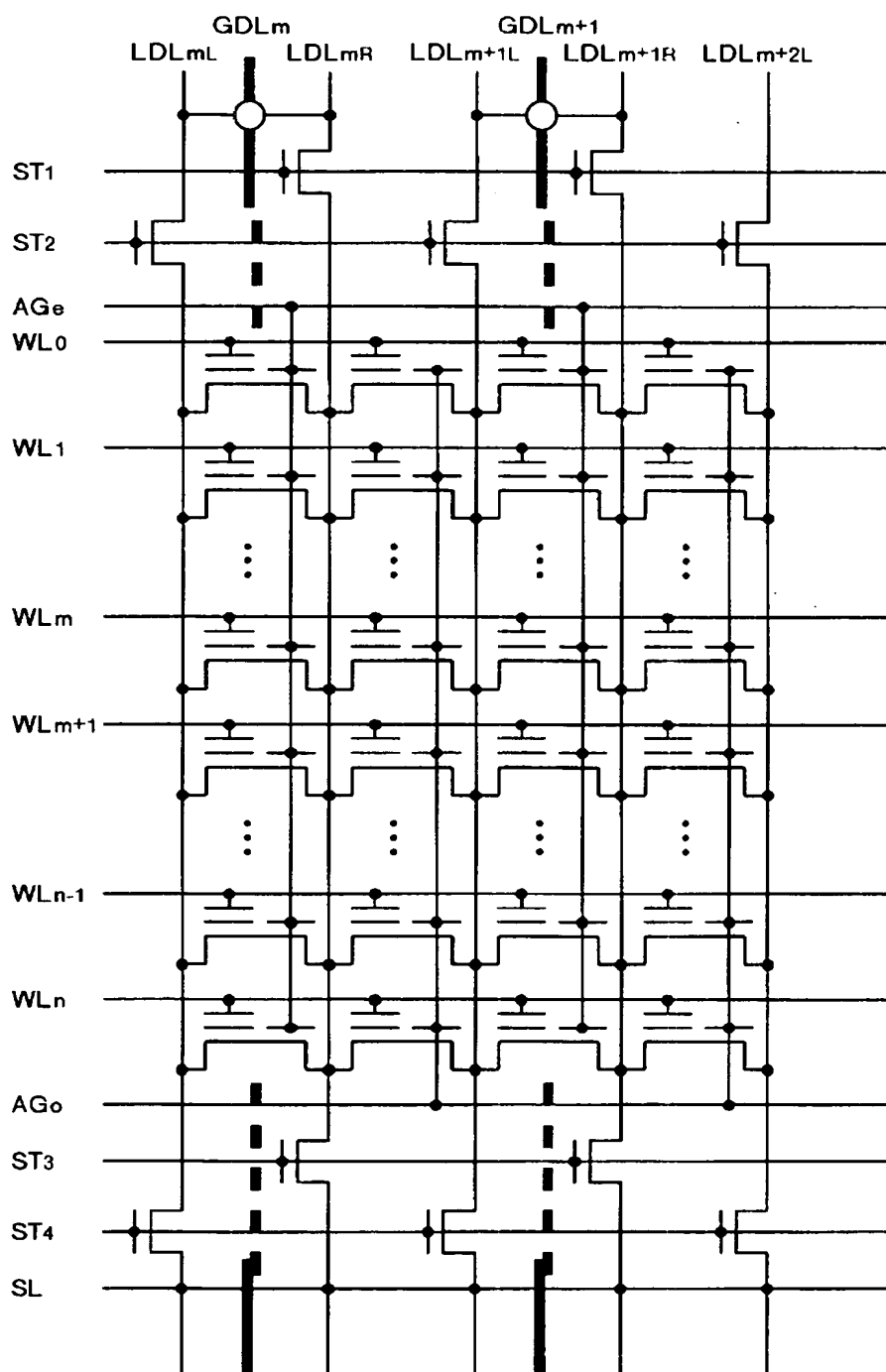
【符号の説明】

101…シリコン基板、102…素子分離領域、103、104a、104b、105a、105b…ウェル、106、106a、106b…ゲート絶縁膜、107…ホトレジスト、108…ゲート絶縁膜、109、109a…第3のゲートとなるポリシリコン膜、109b…ポリシリコン膜、109c…周辺MOSゲートとなるポリシリコン膜、110、110a、110b、110c…シリコン酸化膜、111、111a…シリコン酸化膜、112…チャネルインプラ領域、113…ソース/ドレイン拡散層、114…ゲート絶縁膜、114a…浮遊ゲートと第3ゲートを分離する絶縁膜、115、115a、115b…浮遊ゲートとなるポリシリコン膜、116、116a…ポリシリコン層間絶縁膜(ONO膜)、117、117a…ワード線となるポリサイド膜、118、118a…シリコン酸化膜、119a、119b、120a、120b…ソース/ドレイン拡散層、121…シリコン酸化膜サイドウォール、122a、122b、123a、123b…ソース/ドレイン拡散層、124…メモリセル～選択トランジスタ接続拡散層領域、125…第3ゲート結束部、126…ポリシリコン膜、127…選択トランジスタゲート配線、128…コンタクト孔、129…ワード線取り出しメタル配線、130…スルーホール、201…シリコン基板、202…ウェル、203、203'…ソース/ドレイン拡散層、204…浮遊ゲートポリシリコン膜、205…ワード線ポリサイド膜、206…第3のゲートポリシリコン膜、207…浮遊ゲートとワード線を分離する絶縁膜、208…浮遊ゲートと第3ゲートを分離する絶縁膜、209…第3ゲートとワード線を分離する絶縁膜、210…浮遊ゲートとウェルを分離する絶縁膜、211…第3ゲートとウェルを分離する絶縁膜、WL…ワード線、GDL…グローバルデータ線、LDL…ローカルデータ線、AG…第3ゲート、ST…選択トランジスタゲート配線、PSC1、PSC2…書込み選択セル、ESC…消去選択セル、RSC1、RSC2…書込み選択セル。

【書類名】 図面

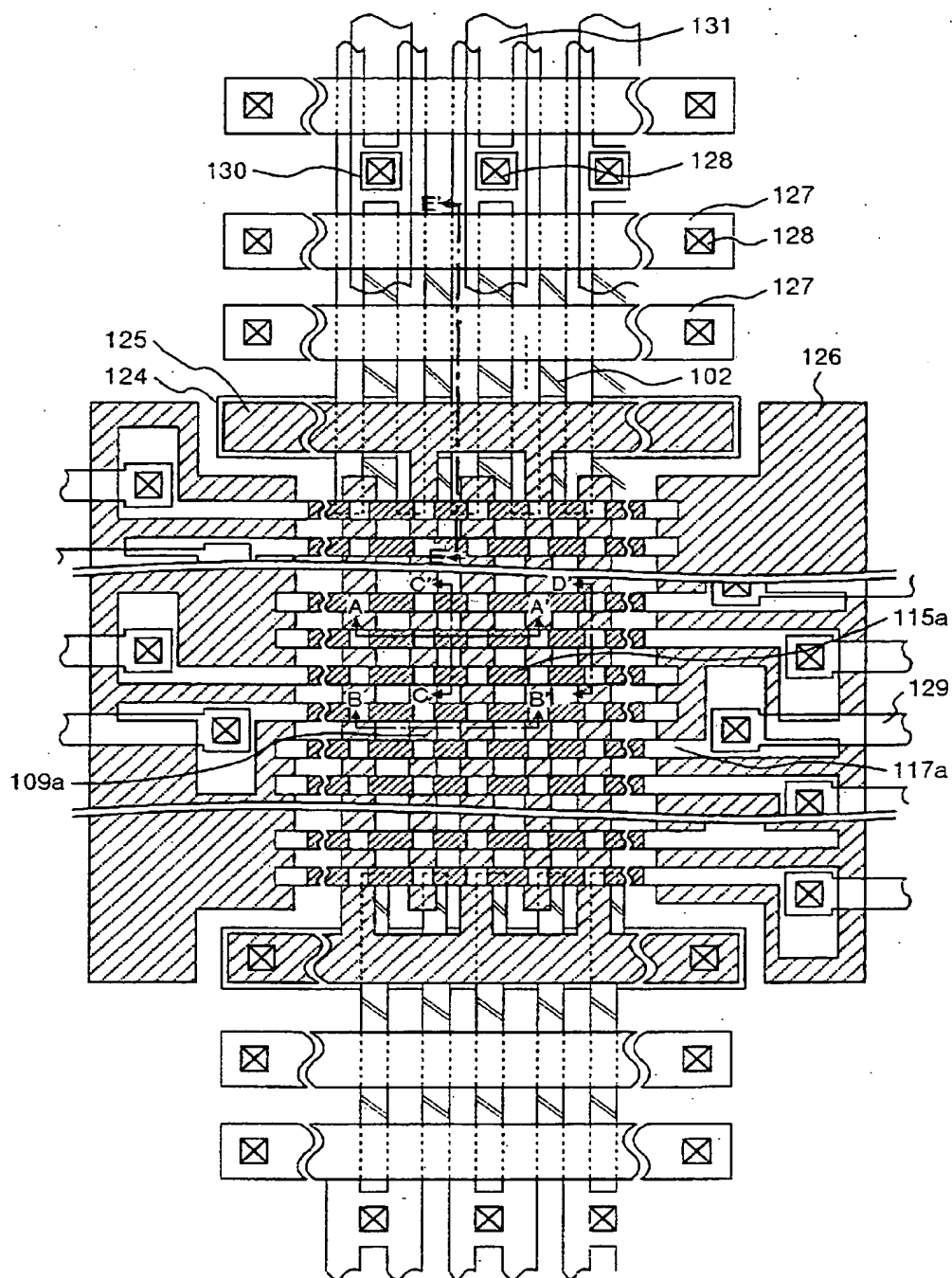
【図 1】

図 1



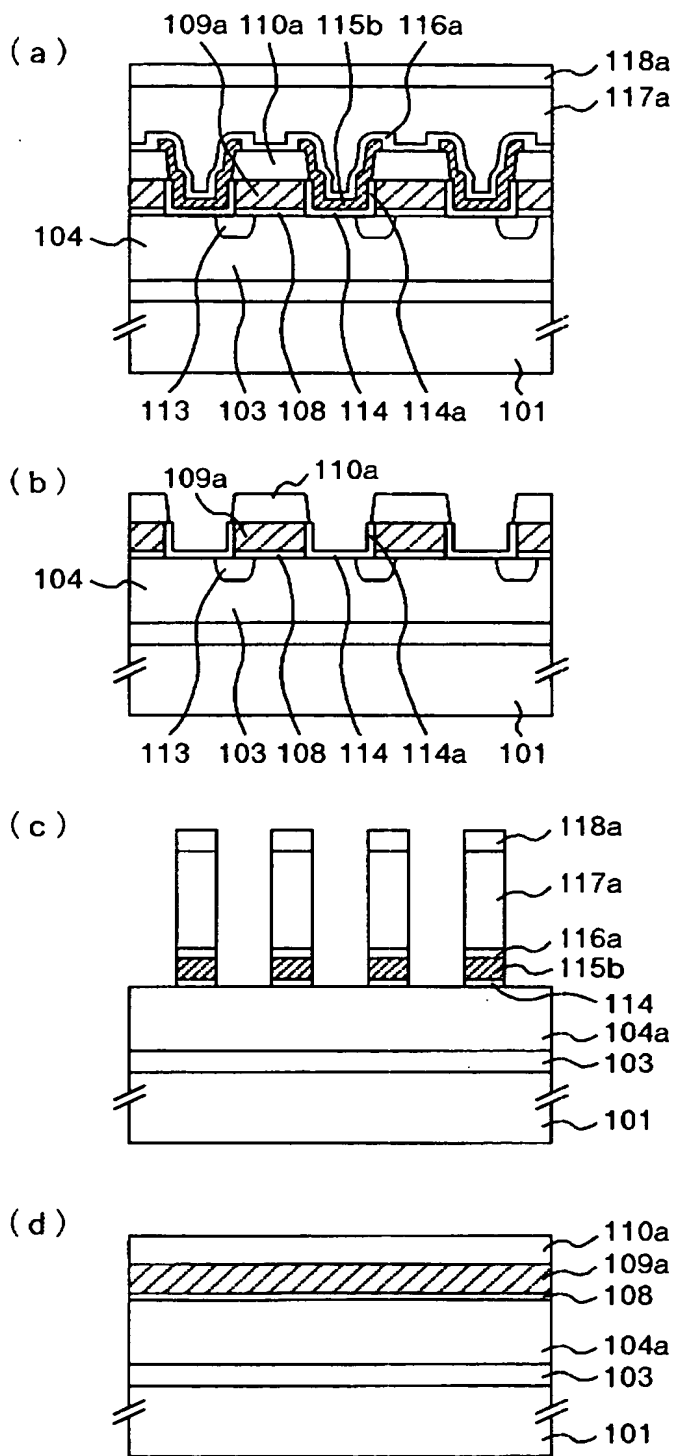
【図 2】

図 2



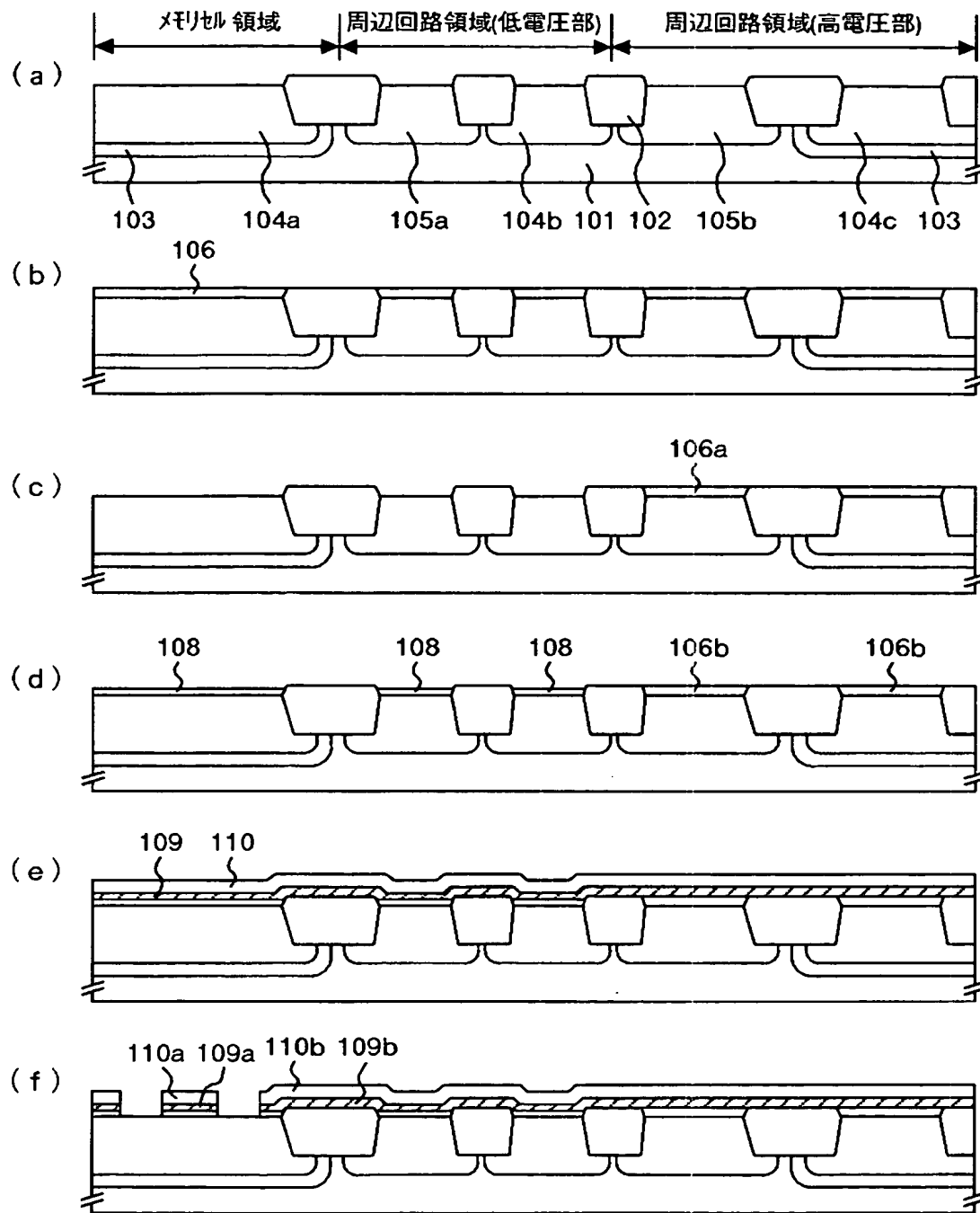
【図 3】

図 3



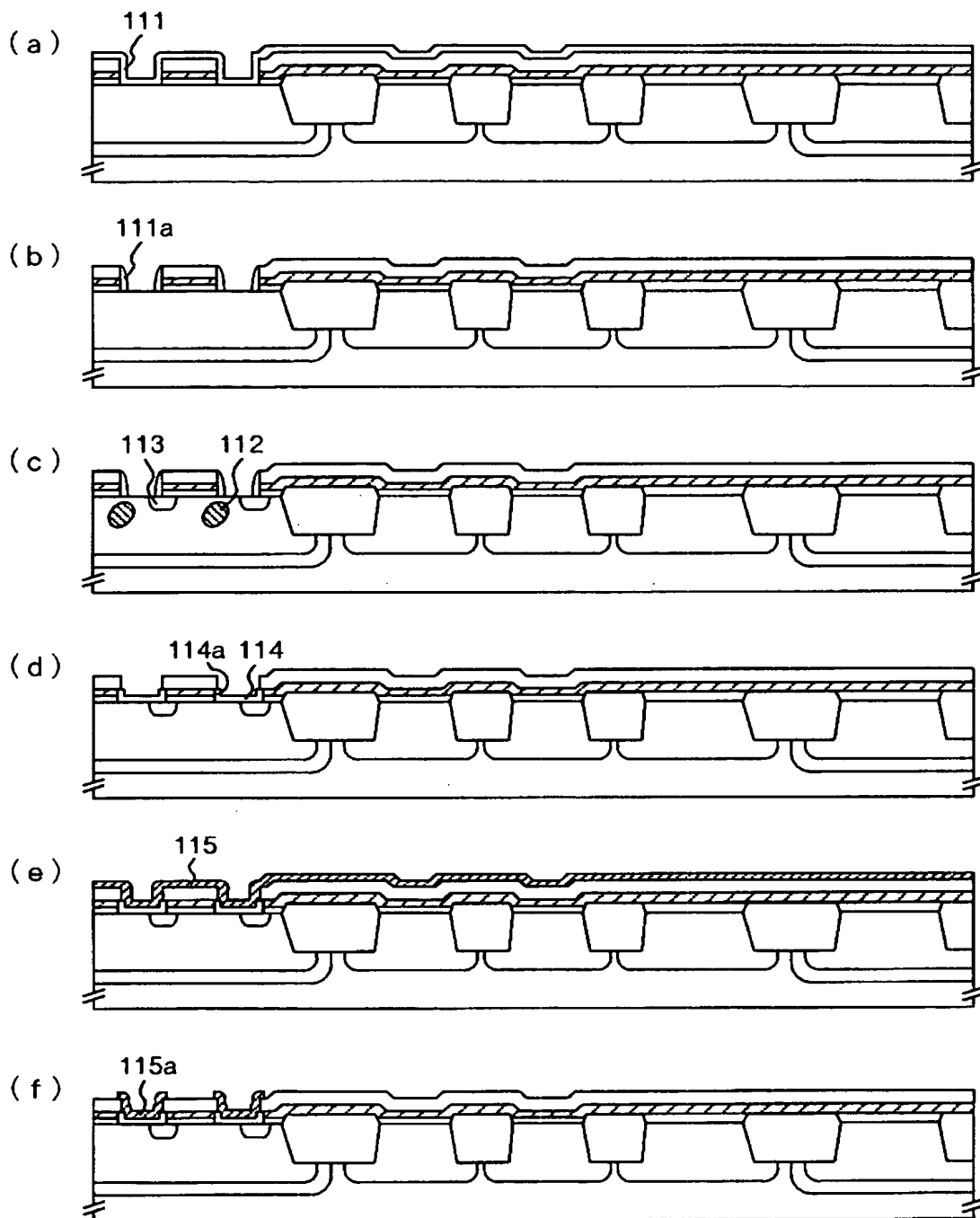
【図 4】

図 4



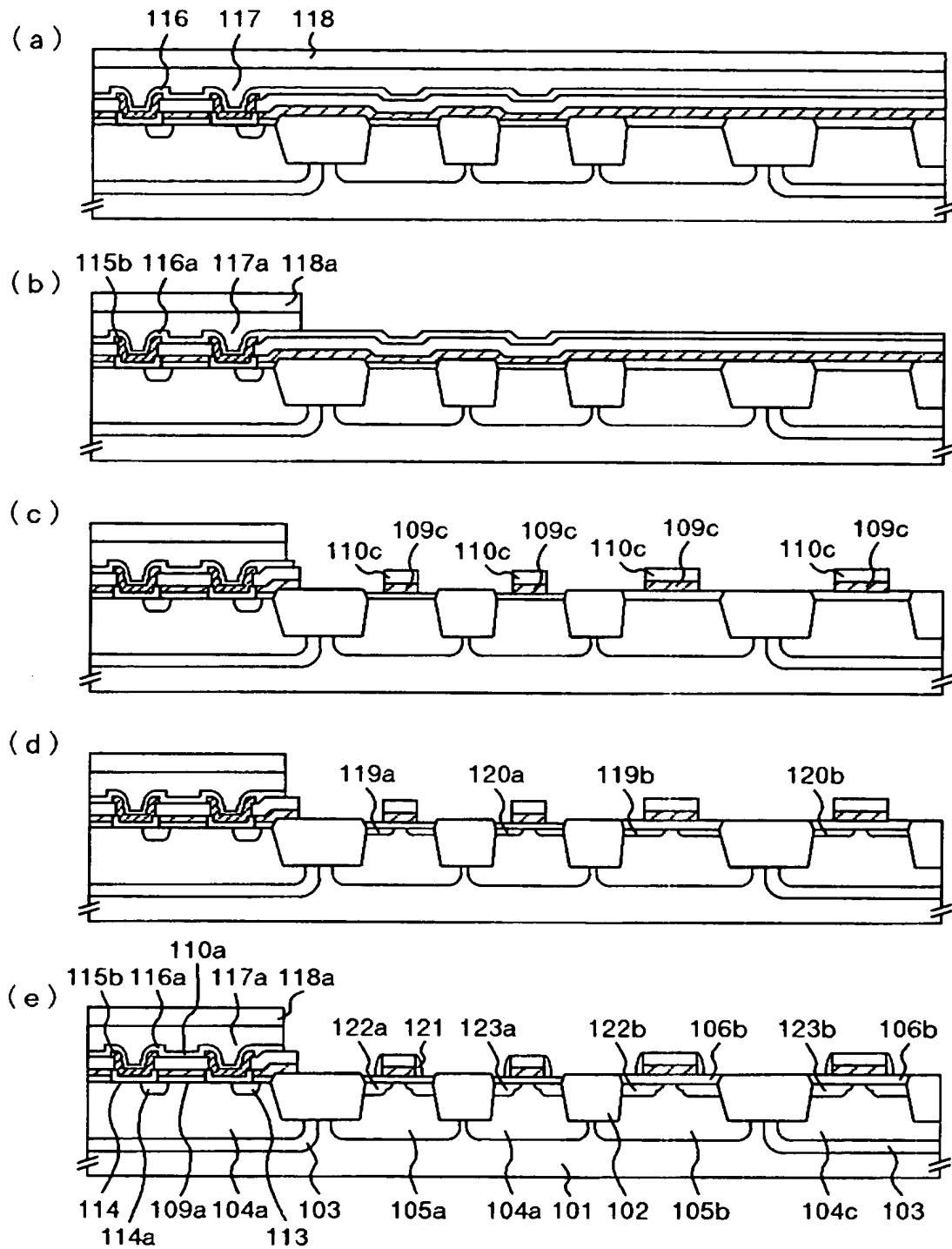
【図 5】

図 5



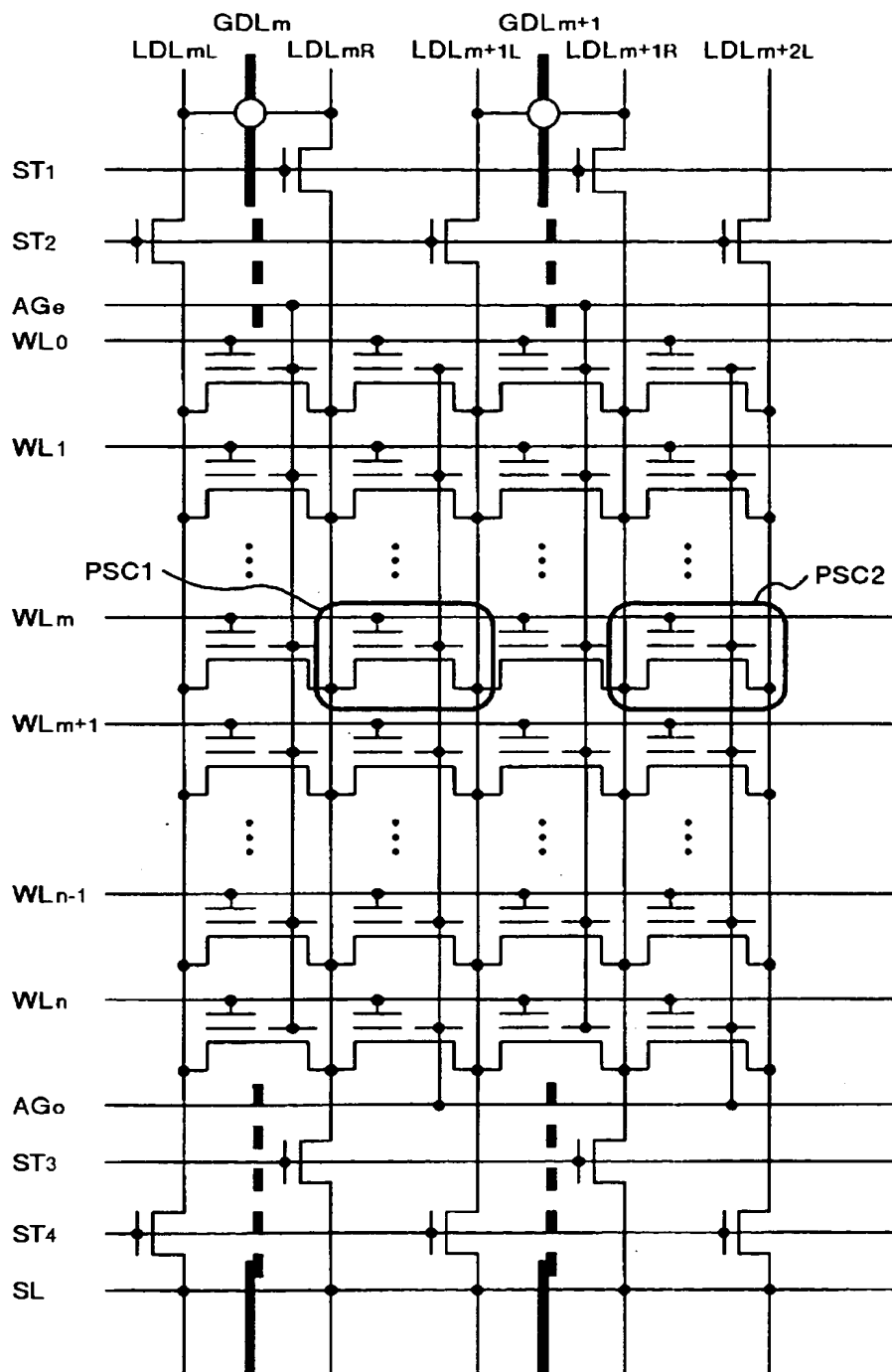
【図 6】

図 6



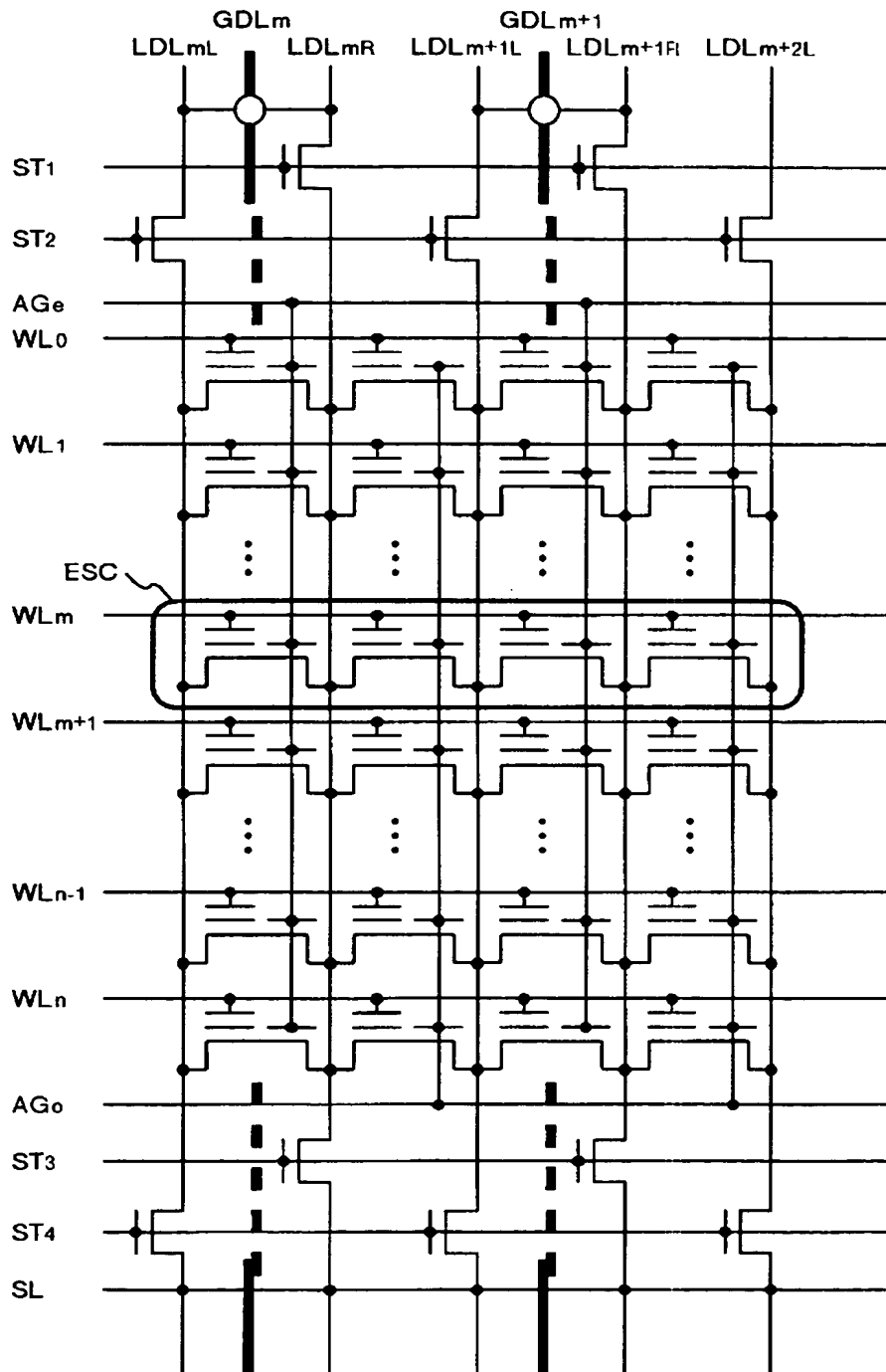
【図 7】

図 7



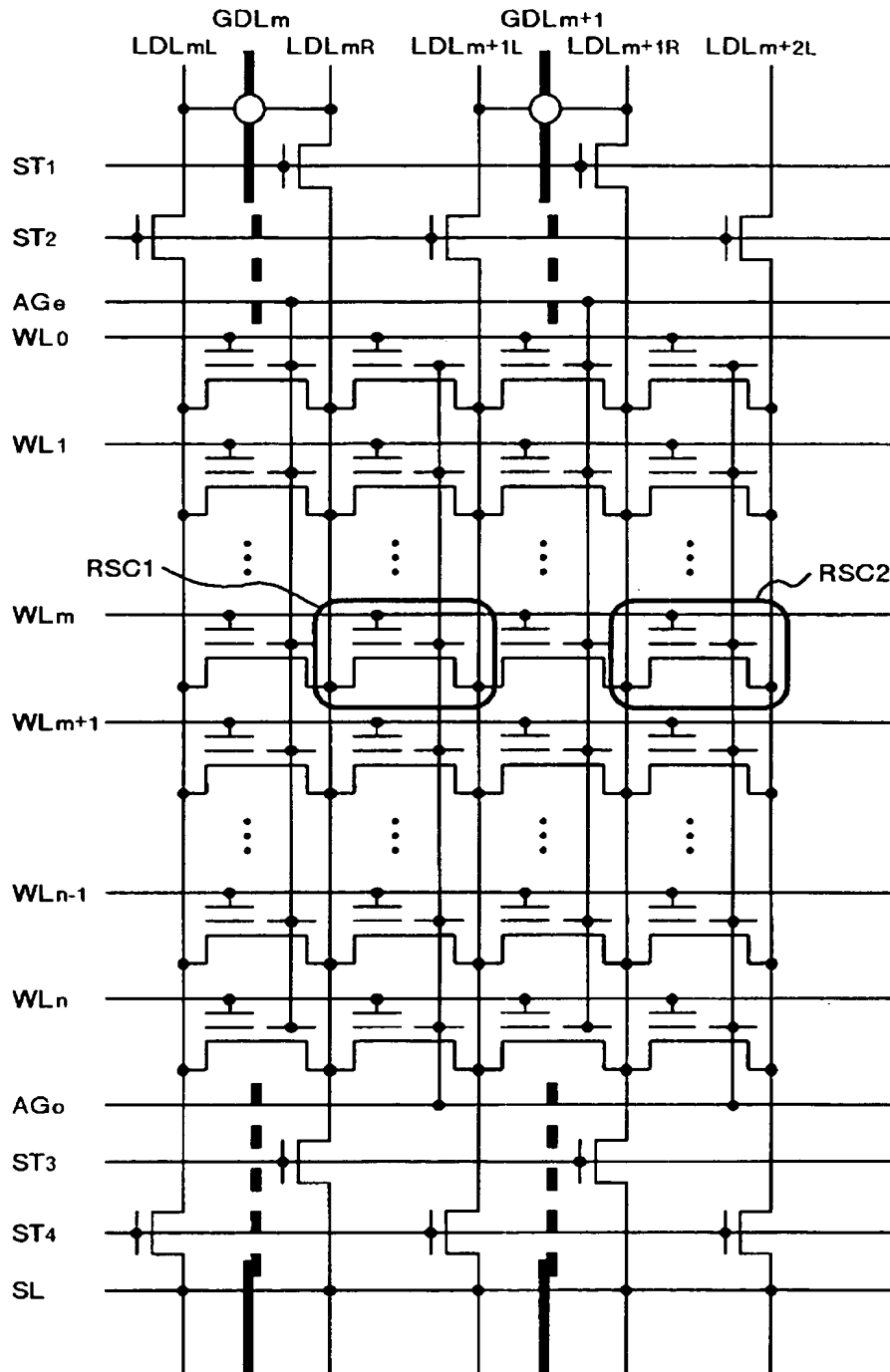
【図 8】

図 8



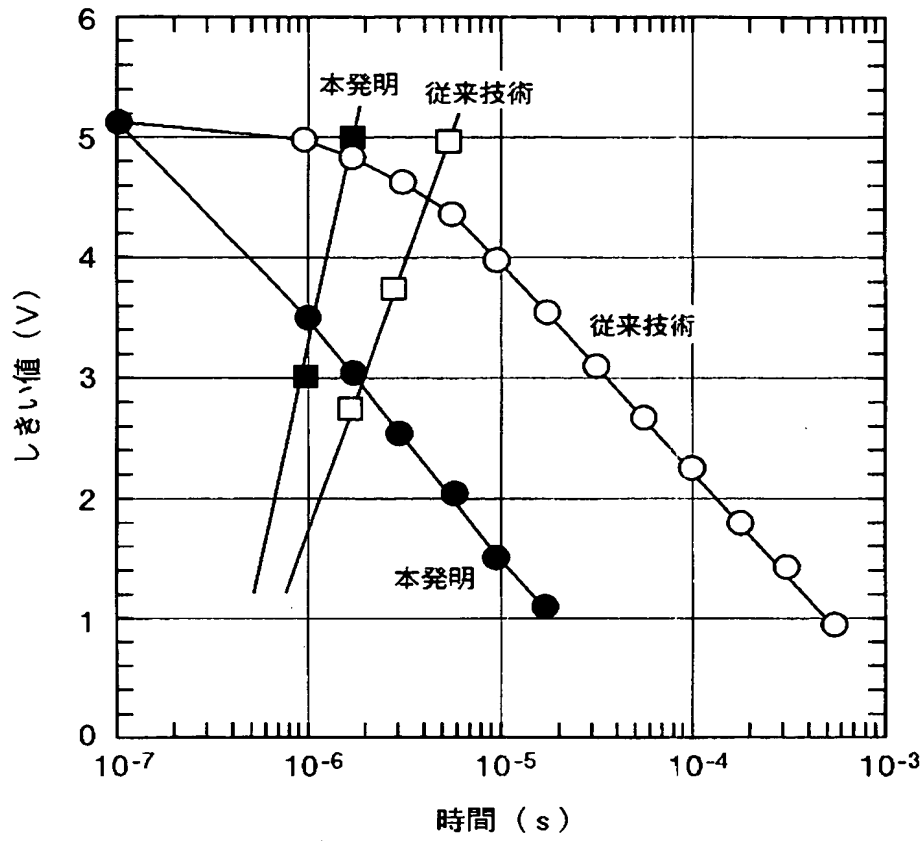
【図 9】

図 9



【図 10】

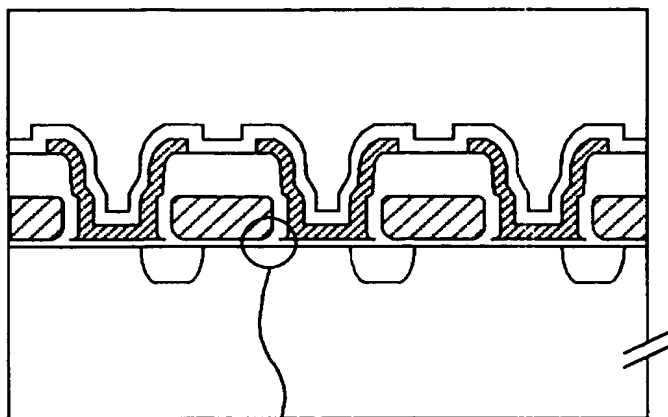
図 10



【図 11】

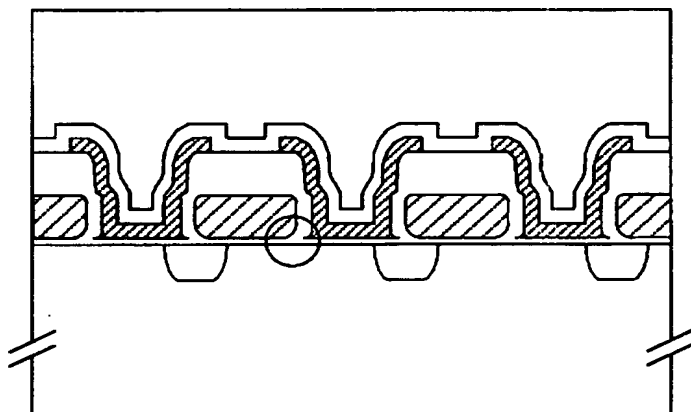
図 11

(a)



ゲートアレイフック
サイドウォールなし

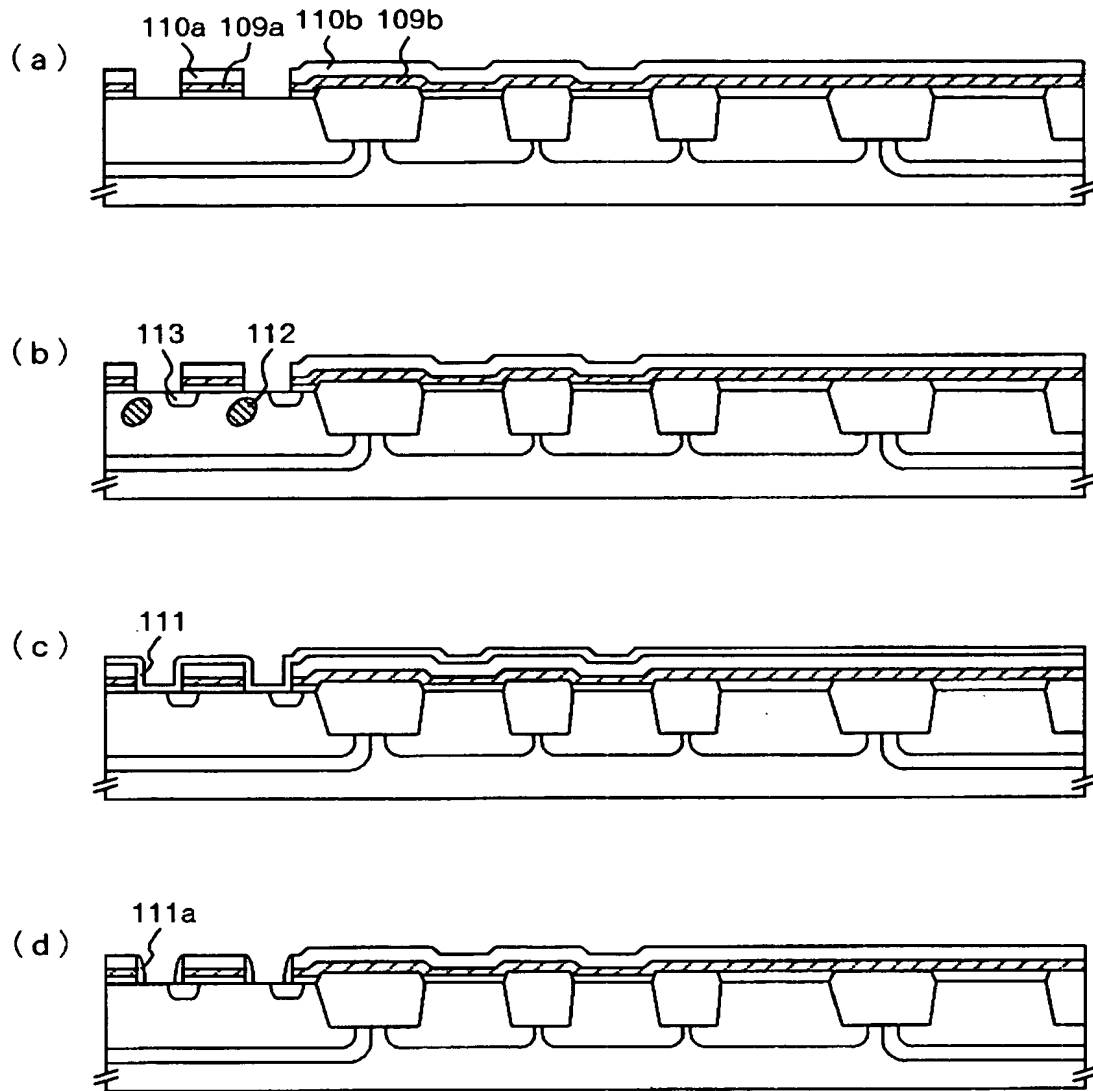
(b)



サイドウォールあり

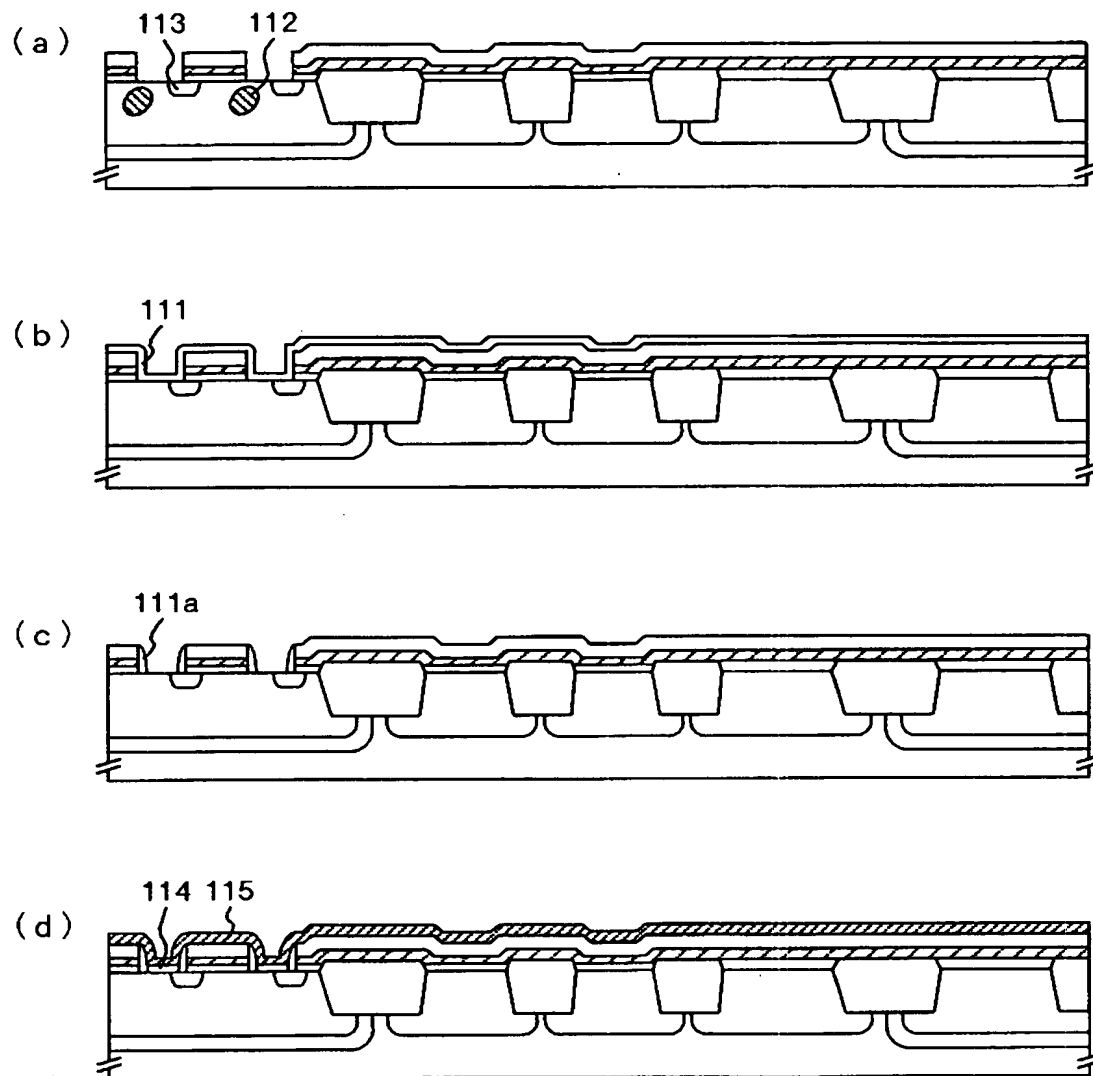
【図 12】

図 12



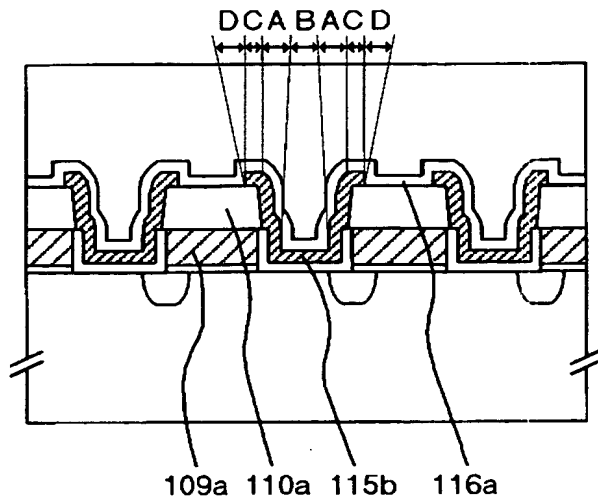
【図 13】

図 13



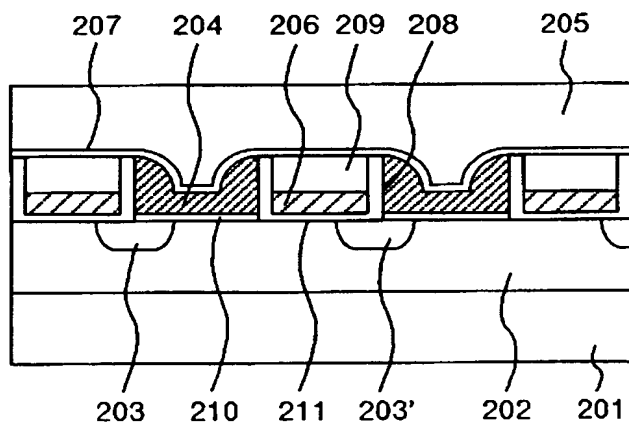
【図 14】

図 14



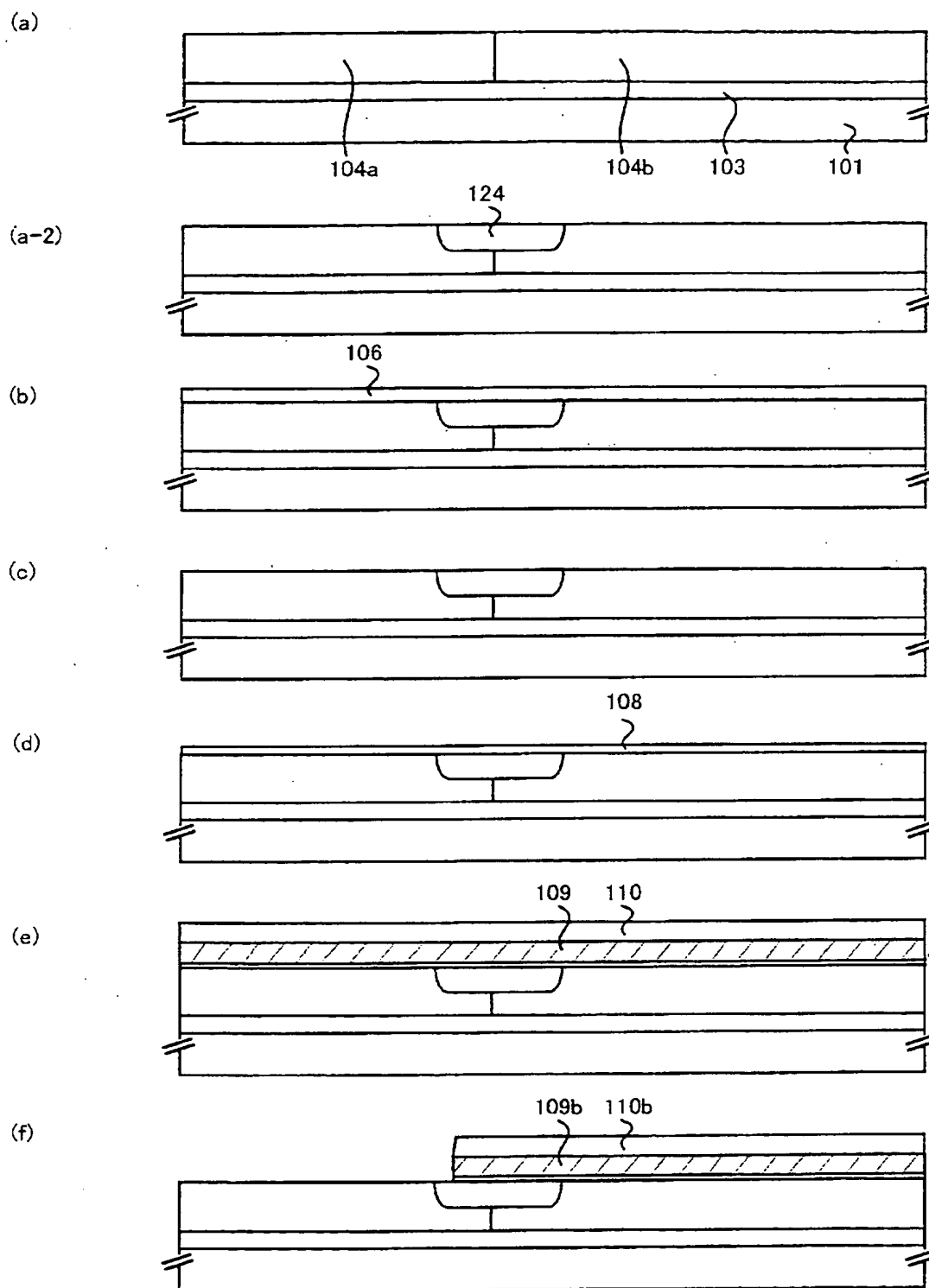
【図 15】

図 15



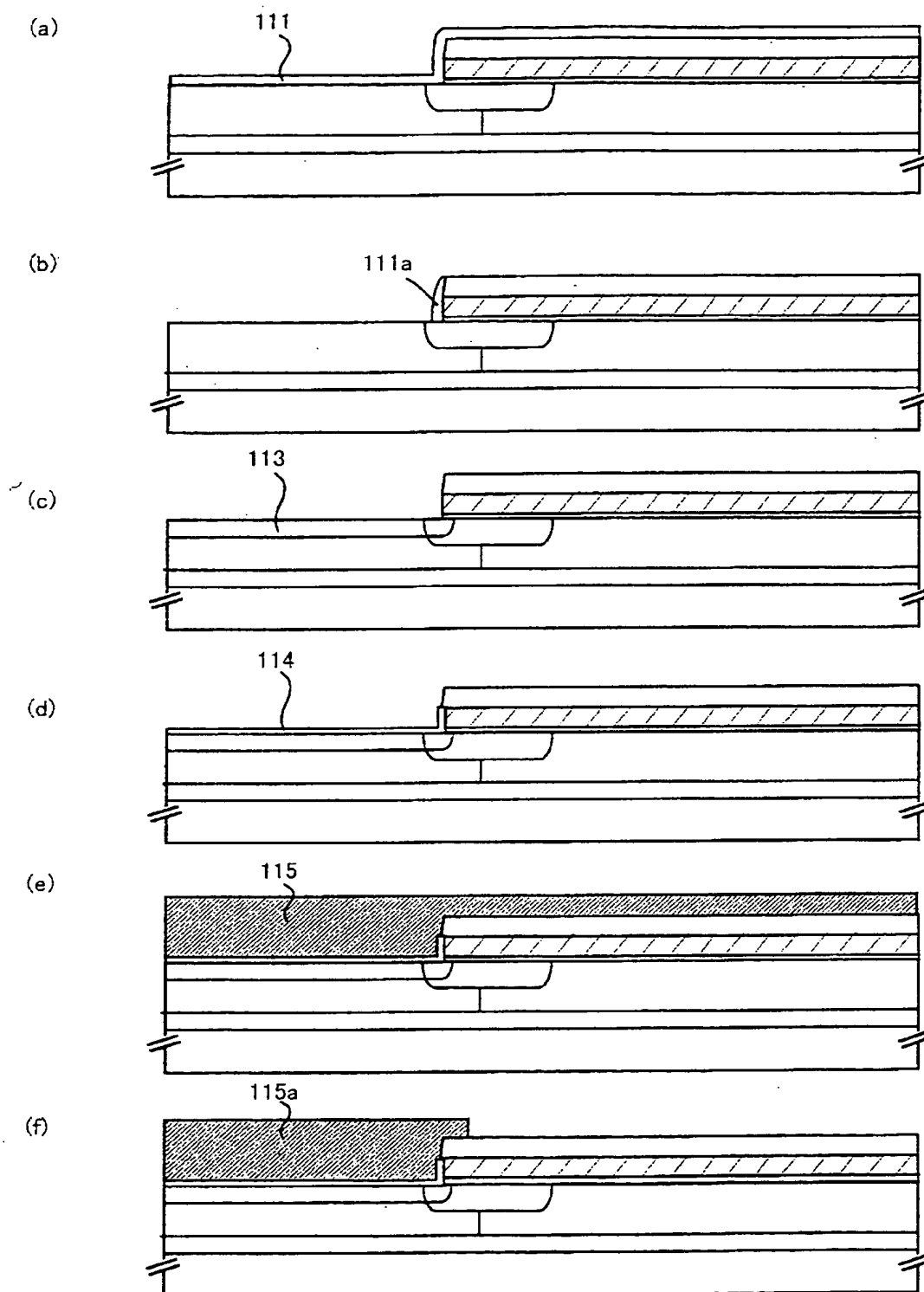
【図 16】

図 16



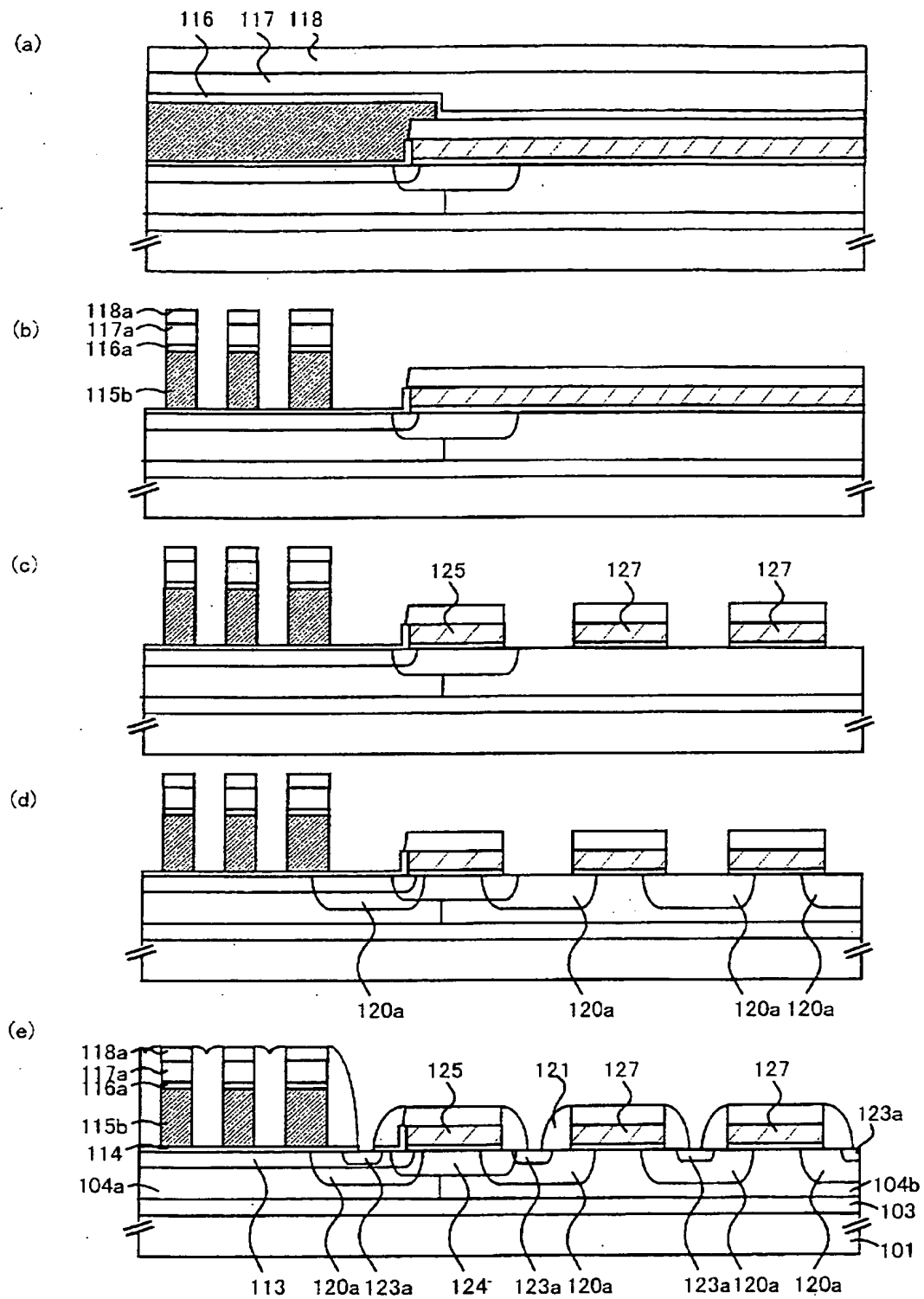
【図 17】

図 17



【図 18】

図18



【書類名】 要約書**【要約】****【課題】**

本発明の目的は、3層ポリシコンゲートを用いた仮想接地型メモリセルの微細化、高性能化および歩留まり向上に関する新たな不揮発性半導体記憶装置及びその製造方法を提供することである。

【解決手段】

メモリセルにおいて、浮遊ゲート 1 1 5 b の端面のうちワード線 1 1 7 a 及びチャネルとそれぞれ垂直な方向に存在する 2 つの端面のそれぞれの一部が第 3 ゲート 1 0 9 a の上部に絶縁膜 1 1 0 a を介して乗り上げるように形成されている。

【選択図】 図 3

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-345456

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【提出物件の目録】

【包括委任状番号】 0308735

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 3 2 1 7 5 6 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 2 - 3 4 5 4 5 6 |
| 受付番号 | 5 0 3 0 1 2 4 9 8 2 1 |
| 書類名 | 出願人名義変更届（一般承継） |
| 担当官 | 神田 美恵 7 3 9 7 |
| 作成日 | 平成 1 5 年 9 月 3 日 |

< 認定情報・付加情報 >

| | |
|-------|--------------------|
| 【提出日】 | 平成 1 5 年 7 月 2 9 日 |
|-------|--------------------|

特願 2 0 0 2 - 3 4 5 4 5 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 4 5 4 5 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ